

Device3D

3次元デバイス・シミュレータ

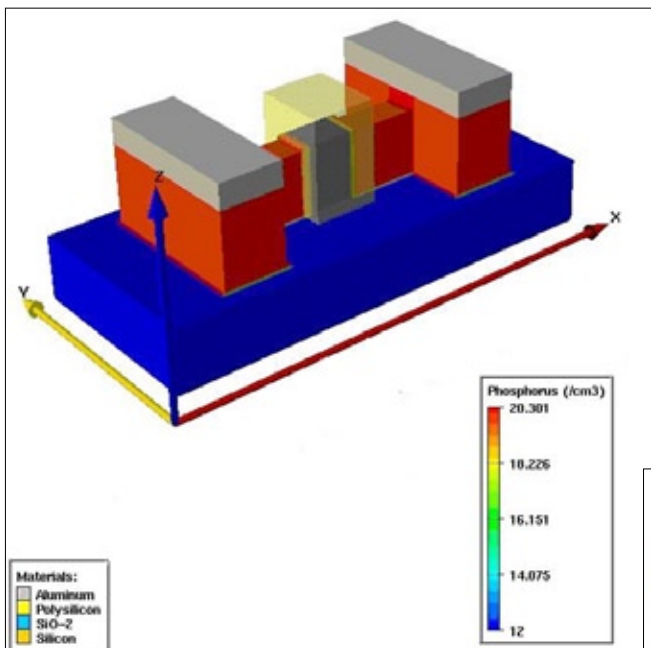
Device3D は物理をベースにしたあらゆるデバイス・タイプ向けの 3 次元デバイス・シミュレータです。そして、今日一般的に使用される半導体材料に対する材料プロパティも備えています。半導体の方程式を使用してセルフコンシステントにシミュレートすることができる物理現象とは、光子吸収、光子放射、バルク・トラップや界面トラップ、磁界、自己発熱、電離放射線の衝突、ホット・キャリアおよびトンネル効果です。これにより、太陽電池、CMOS センサ、LED、TFT、EPROM、CMOS 先進テクノロジー、およびパワー・デバイスなどのデバイスをシミュレートできます。Device3D では、シンプルで、直感的、そしてフレキシブルなシンタックスとランタイム環境を使用しています。また、このパワフルな Device3D でのシミュレーション結果を視覚化する、優れた 2 次元/3 次元ビジュアライゼーション・ツールと連携します。

ナノスケール・デバイス

Device3D を使用すると、先進テクノロジーである Fin FET、ナノワイヤー FET、標準 FET などをシミュレートできます。

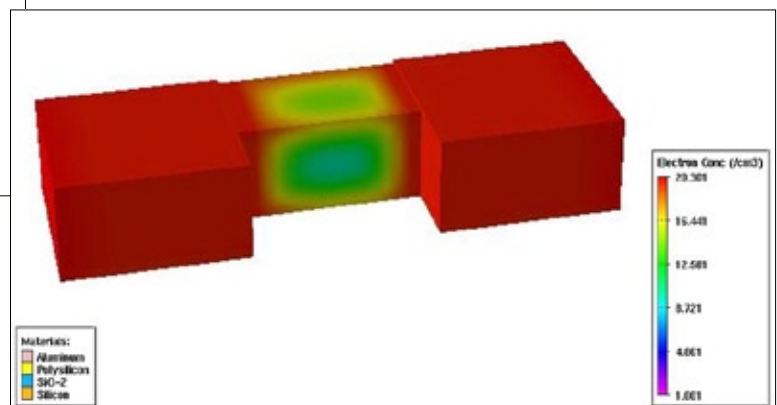
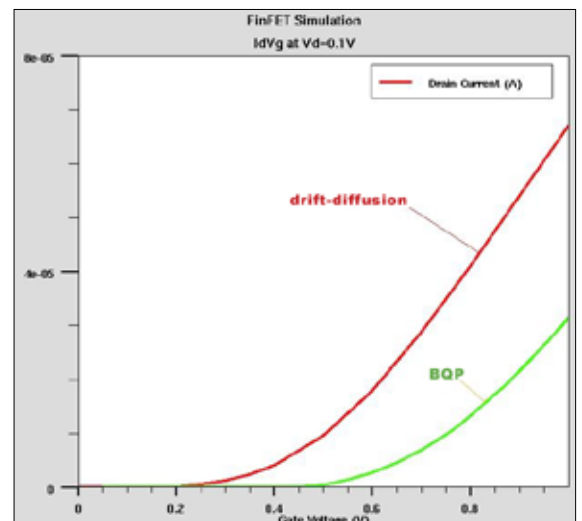
Fin FET

Device3D シンタックスを使用して直接生成した Fin FET の例です。ドーピング電子の分布、およびドリフト拡散モデルとボーム量子ポテンシャル・モデルを使用した IV 特性を表しています。



FinFET デバイスにおけるリンの濃度を示しています。

ドリフト拡散とボーム量子ポテンシャル (Bohm Quantum Potential: BQP) ソリューションを比較した I_d/V_g 特性を示しています。

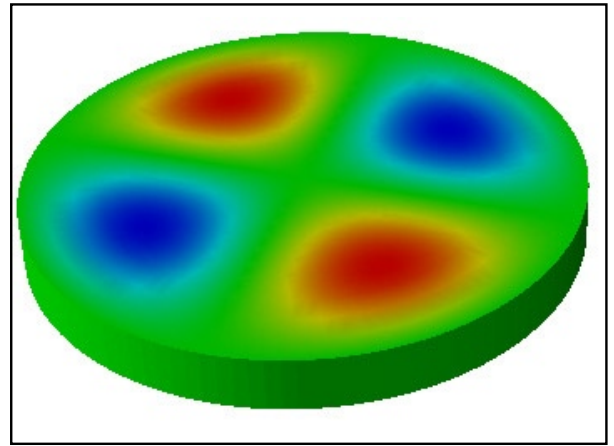
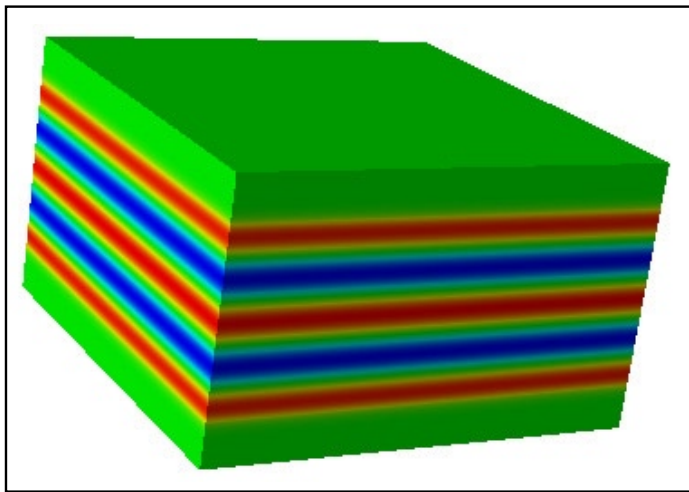


電子の密度の図で、ゲート下の空乏層領域を示しています。

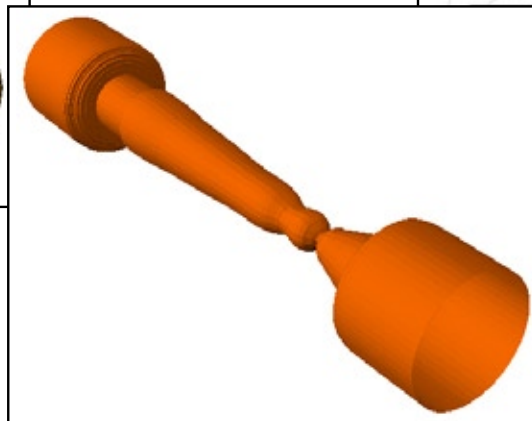
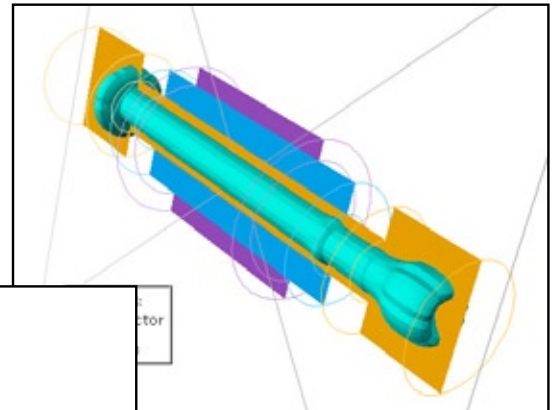
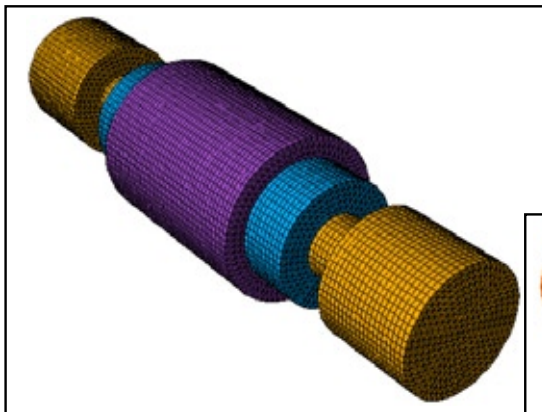
SILVACO

ナノワイヤー FET

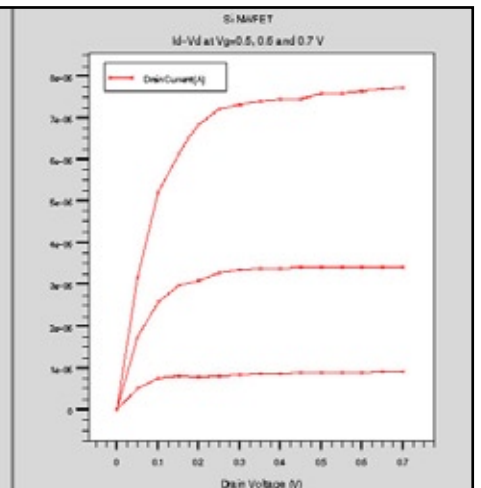
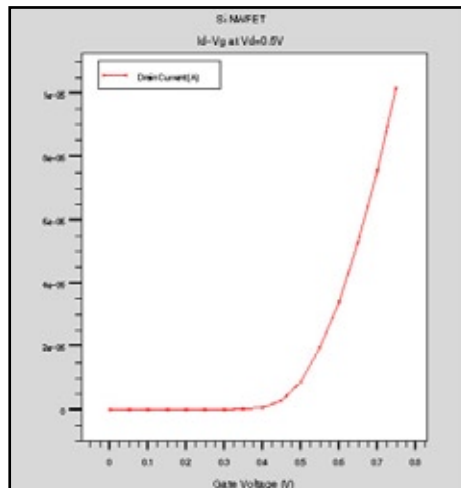
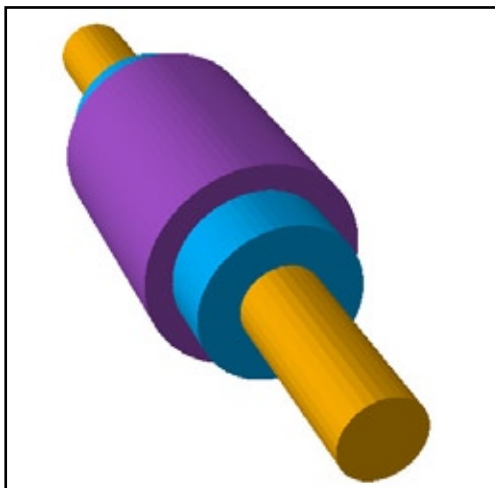
量子モデリングに最近追加となった機能は、量子ワイヤー・デバイスにおける強い量子閉じ込め効果のシミュレーションです。量子閉じ込め効果をモデリングするために、Quantum3D では、1次元または任意形状の2次元シュレディンガー方程式と3次元ポアソン方程式を使用したセルフコンシステントなソリューションを提供します。



3次元構造の表面に対する電子の波動関数の等高線図です。3次元ポアソン方程式とセルフコンシステントに解かれたシュレディンガー方程式 (1次元: 左図および2次元: 上図) によって得たものです。



結合モード・スペース NEGF アプローチで計算された、ソース/ドレイン領域が張り出している3次元シリコン・ナノワイヤー FET に対するデバイス・スキマティック (左図)、トータル電流密度の等価面 (右図)、および電子密度の等価面 (中央) の図です。

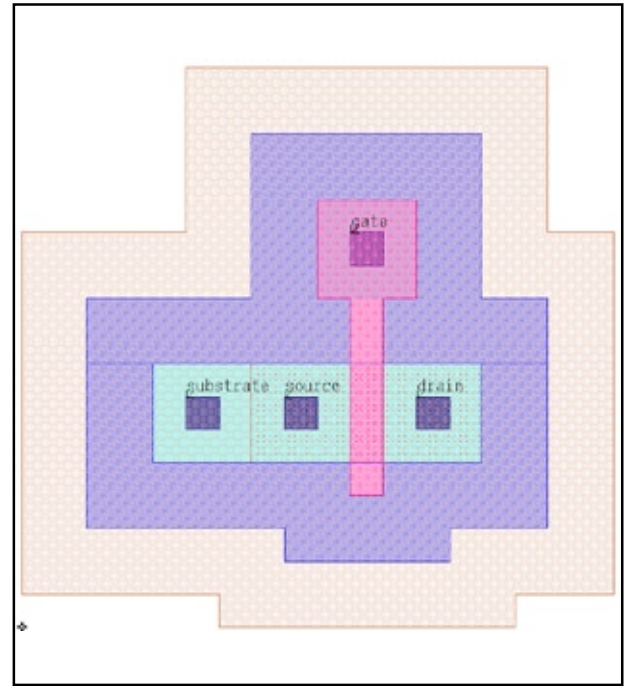


均一なチャネル断面を持った Si ナノワイヤー・トランジスタに対するスキマティック (左図) および I-V 特性 (右図) です。分離モード・スペース NEGF アプローチで計算しました。

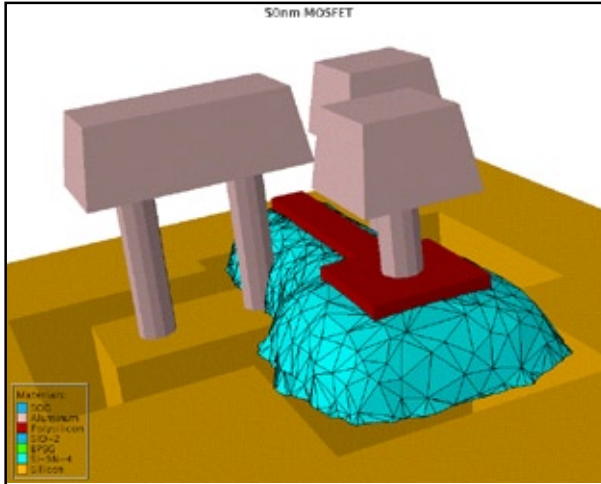
先進的な形状を持つ 50nm MOSFET

この例は、Victory-LD(Victory Large Device) を使用して生成した 50nm MOSFET 構造です。Victory-LD はプロセス・シミュレータ (オプション) で、任意形状の、マスク・レイアウト・ドリブン 3次元プロセス・シミュレーションの後に、Device3D に準拠した構造を生成します。

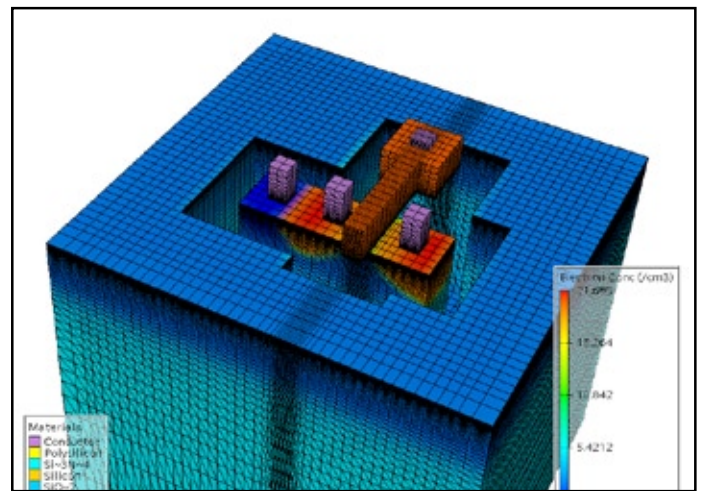
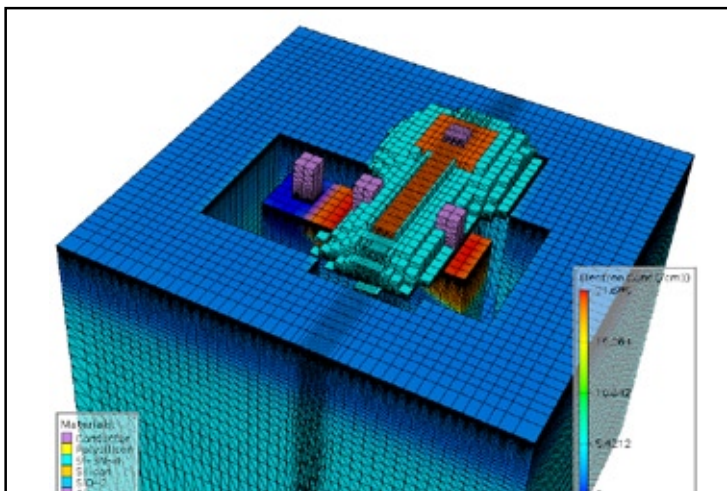
マスク・セット、プロセス・シミュレーション後の構造、Device3D に変換された構造、および電気特性の図を次に示します。



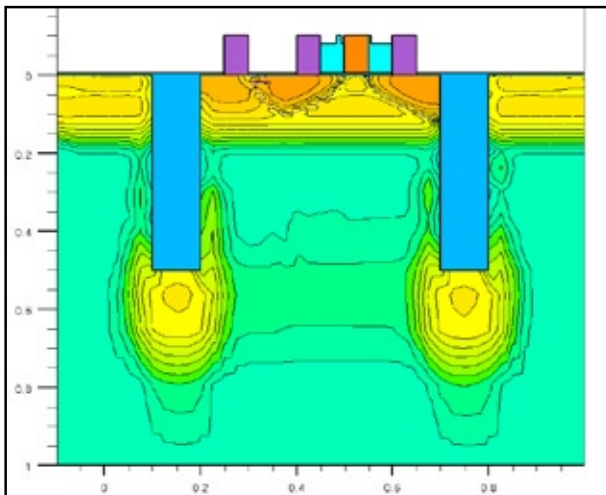
マスク・レイアウト



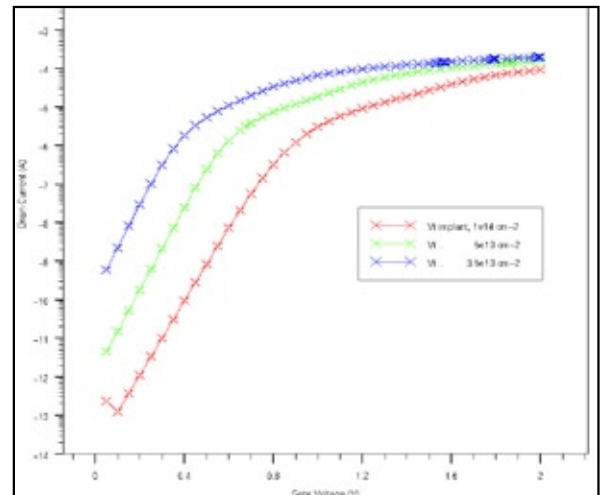
プロセス・シミュレーション後の構造



変換された ATLAS 構造 (左図: ゲート・スペーサ付き、右図: ゲート・スペーサなし)



ネット・ドーピングの断面図

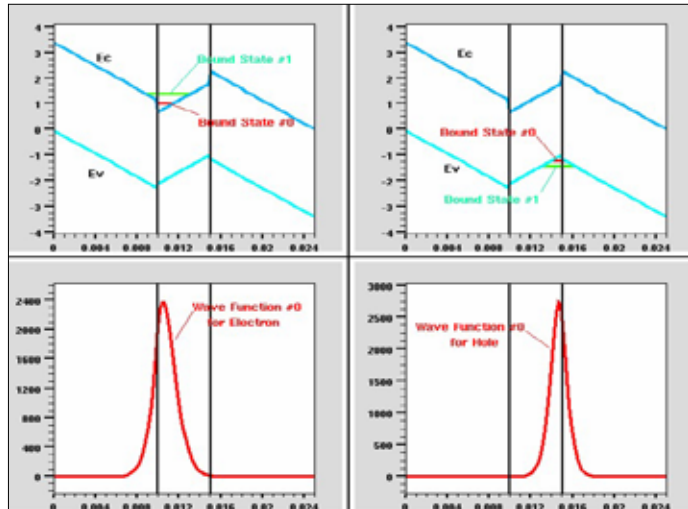


さまざまなチャネル・ドーピングの IV 特性

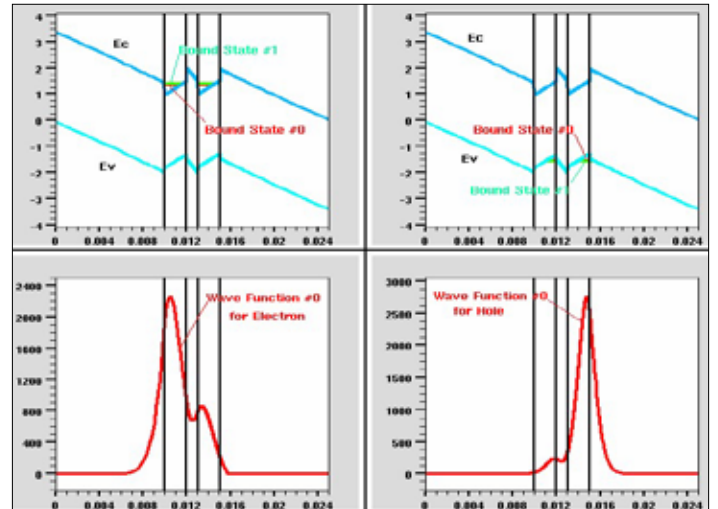
量子井戸解析

3次元量子デバイスにおいて、束縛状態および波動関数の解析が可能です。ここで、単一量子井戸と3連の量子井戸の解析を例として示します。

SQW 解析



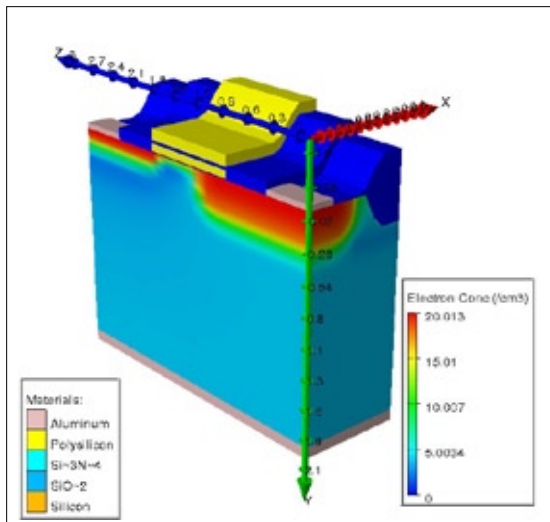
3QW 解析



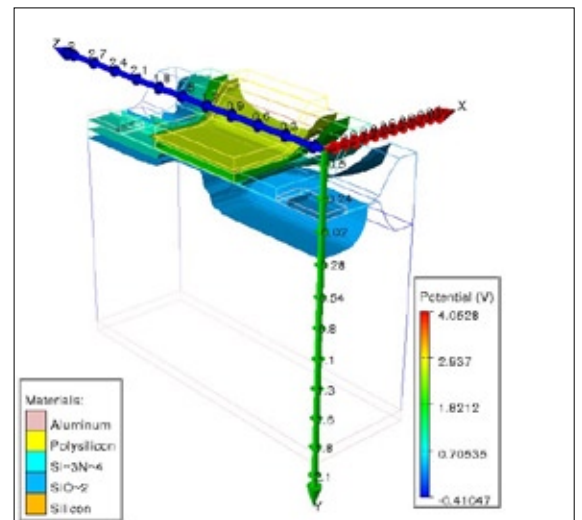
GaN/InGaN/GaN 単一量子井戸 (QW) とデルタ形状ではさまれた QW 量子化

メモリ・デバイス

フローティング・ゲートへの電荷の注入には、ホット・キャリア注入およびトンネル効果のモデルが使用できます。これは、メモリ・デバイスのシミュレーションに必要となります。EPROM 例を次に示します。

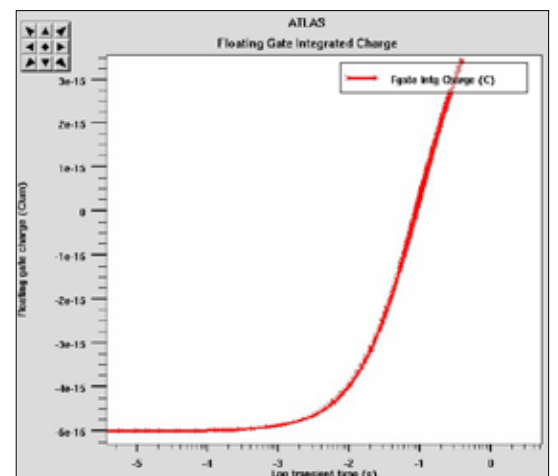
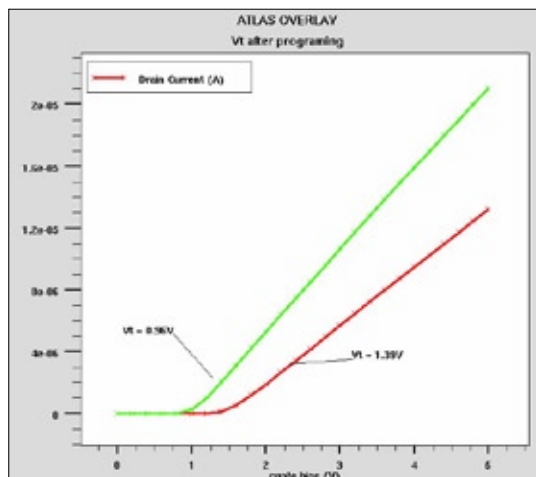


EPROM のポテンシャル分布を等価面プロットで表示します。



EPROM の電子密度

プログラミング前と後の IV 特性

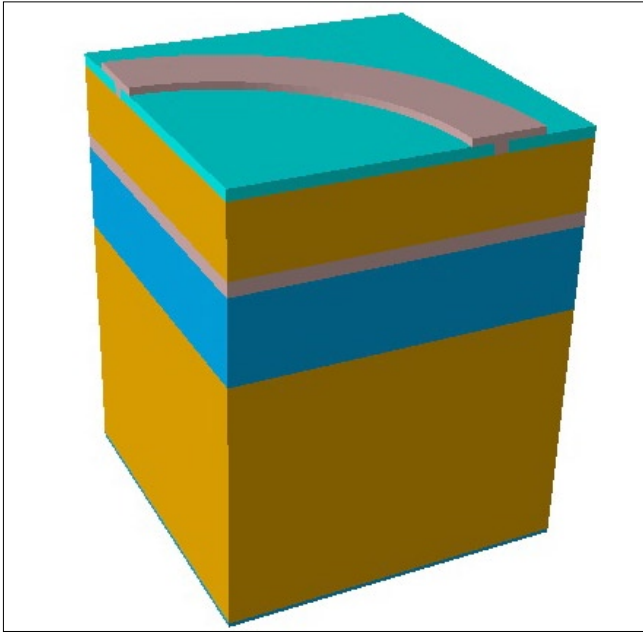


時間の関数として表したフローティング・ゲートの積まれた電荷

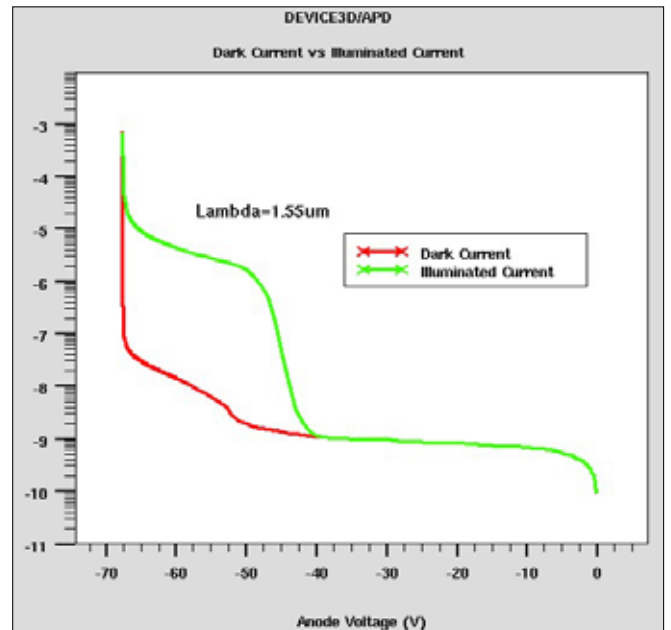
オプトエレクトロニクス

レイ・トレース、光吸収、および光学的に生成されたキャリアは、他のすべての半導体方程式とセルフコンシステントに計算されるため、フォトダイオードや CMOS センサなどの光吸収デバイスがシミュレートできます。また、光子生成の方程式により、発光ダイオード (LED) のような光学的に発光するデバイスもシミュレート可能です。

フォトダイオードのシミュレーション

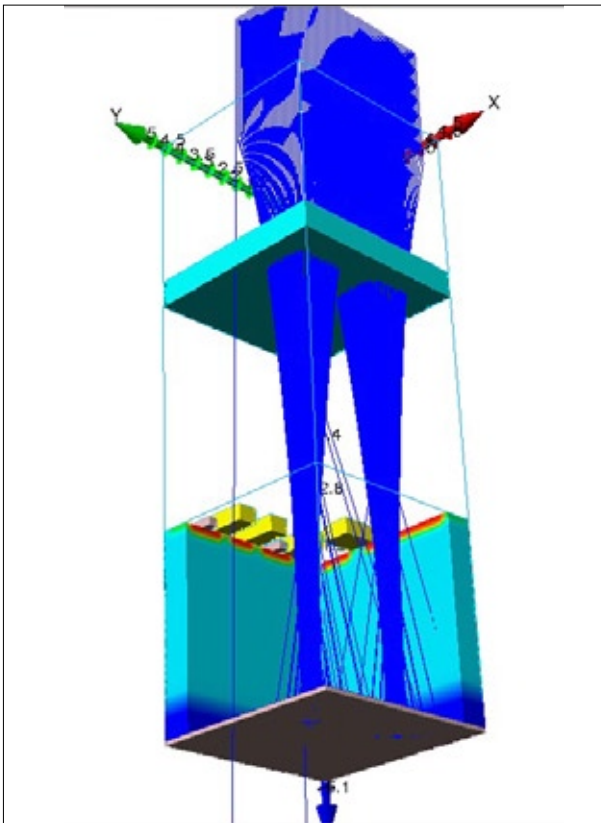


InP/InGaAsP/InGaAs/InP フォトダイオード

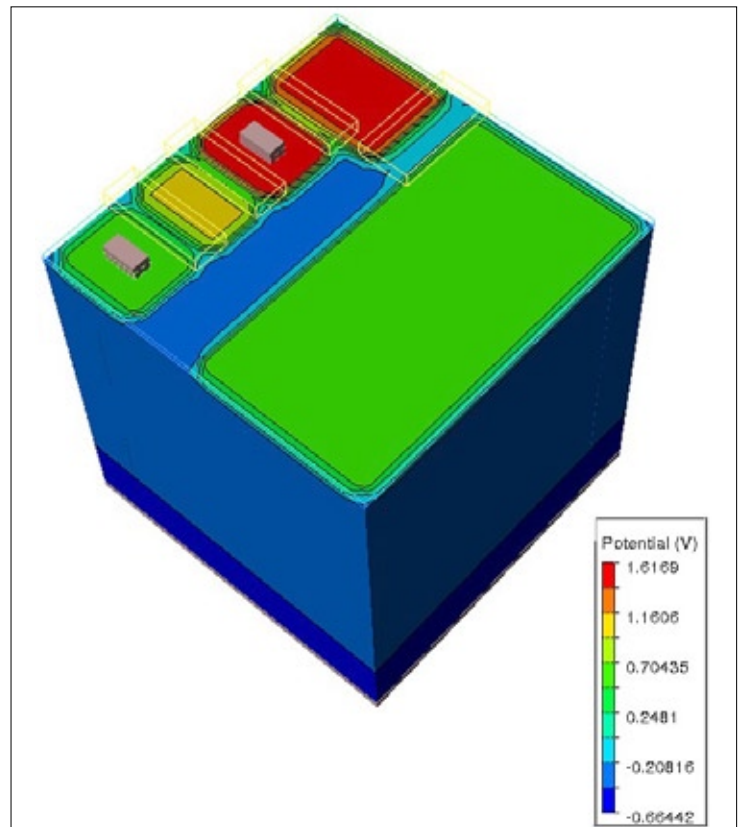


遮光時 / 照射時のアノード電流対アノード電圧 (1.55 μ m 時)

CMOS シミュレーション

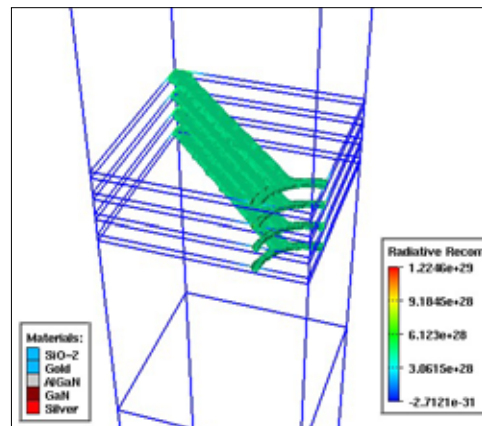
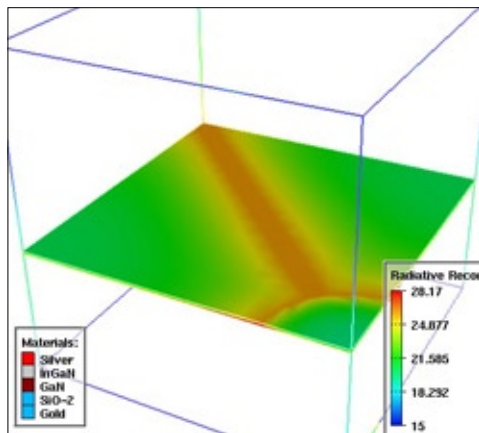
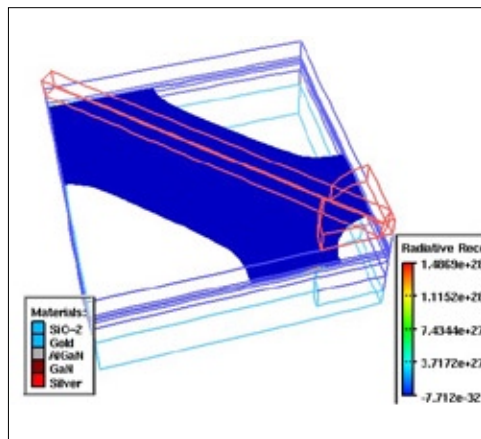


Luminous3D の高度な 3 次元レイ・トレース機能を使用することで、イメージング・アレイにおける空間分解能およびクロストークの問題を評価できます。



CMOS センサのポテンシャル分布

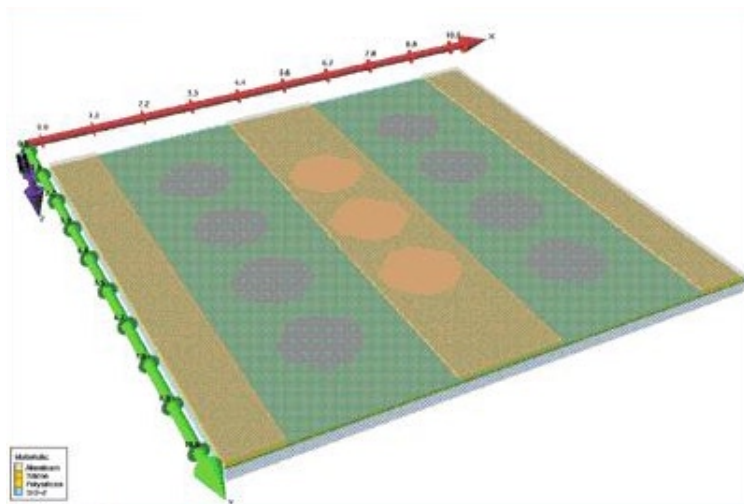
GaN LED シミュレーション



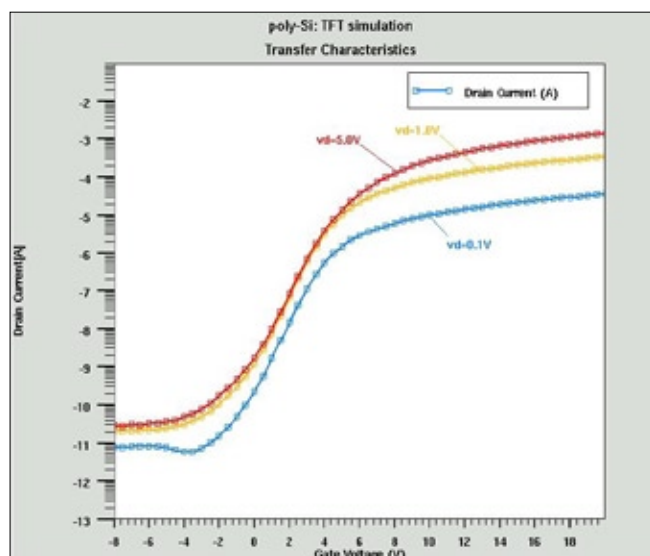
発光再結合率の分布

薄膜トランジスタ

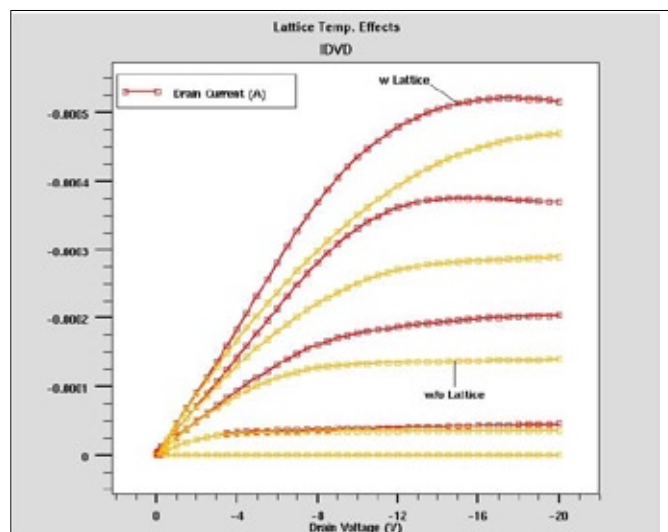
薄膜トランジスタ (Thin Film Transistor: TFT) の電気特性は、バルク・トラップおよび界面トラップの存在によって決定されます。Device3D では、これらの欠陥をバンドギャップ内の連続した欠陥として表現することができます。または離散化した欠陥として指定することも可能です。また、これらのデバイスが作製される絶縁基板 (通常ガラス材) は、多くの場合、熱の伝導が低いことがあります。そこでさらに自己発熱効果のモデリングは、デバイスの電気特性に大きな影響を与えます。



TFT 素子の 8 角形アレイです。コンタクトと SiO₂ 層は透明な構造で表示されているため、非結晶 Si 素子を明確に見ることができます。



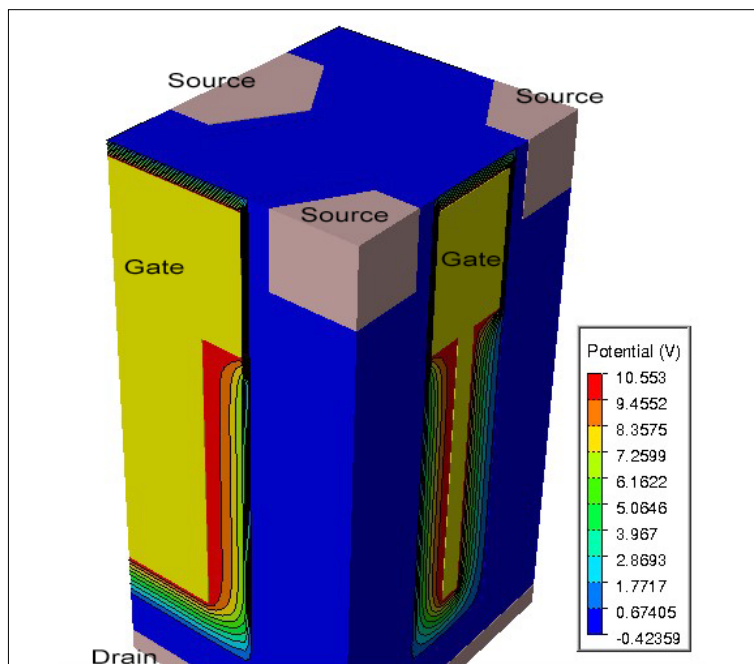
ポリシリコン TFT におけるトランスファー特性



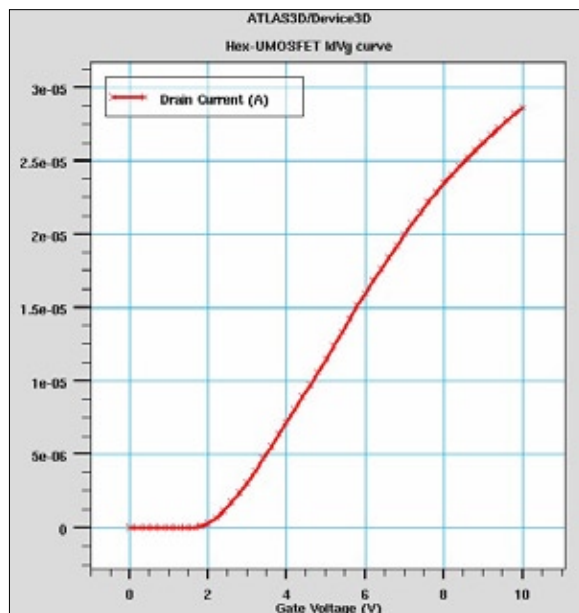
Id/Vd 特性、格子温度モデリングを含むものと、含まないもの

パワー・デバイス

3次元 TCAD デバイス・モデリングの非常に優れたアプリケーションとして、パワー・デバイスの動作の理解があります。サイリスタやトライアックといったパワー・デバイスの電気特性は、デバイスのシリコン・バルクの奥深くで生じ、計測によって直接プローブすることが困難な半導体の現象に左右されることが多くあります。その点、3次元TCADシミュレーションでは、デバイス全体の至る所で実際に何が起きているのかを、たとえばスイッチング過渡現象時いつでも即座に解析できます。UMOS HexFET のシミュレーション例を次に示します。



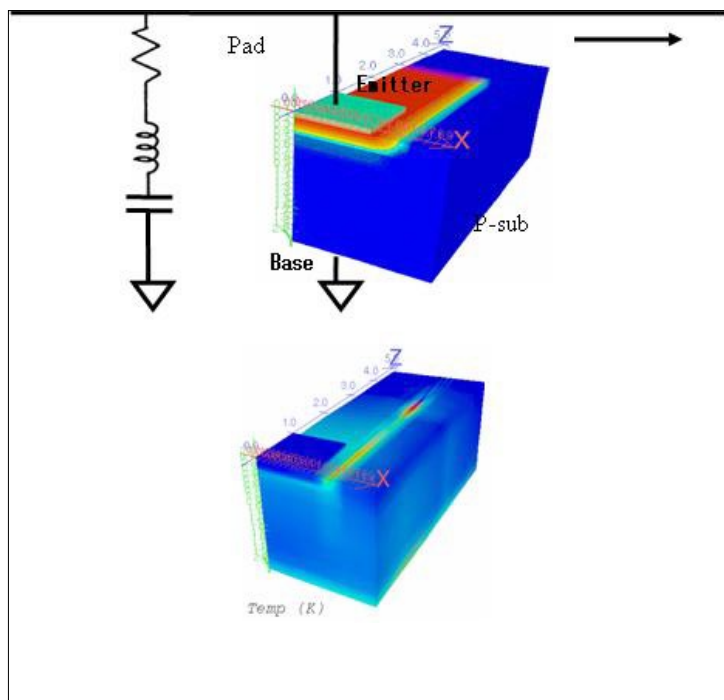
UMOS HexFET のポテンシャル分布



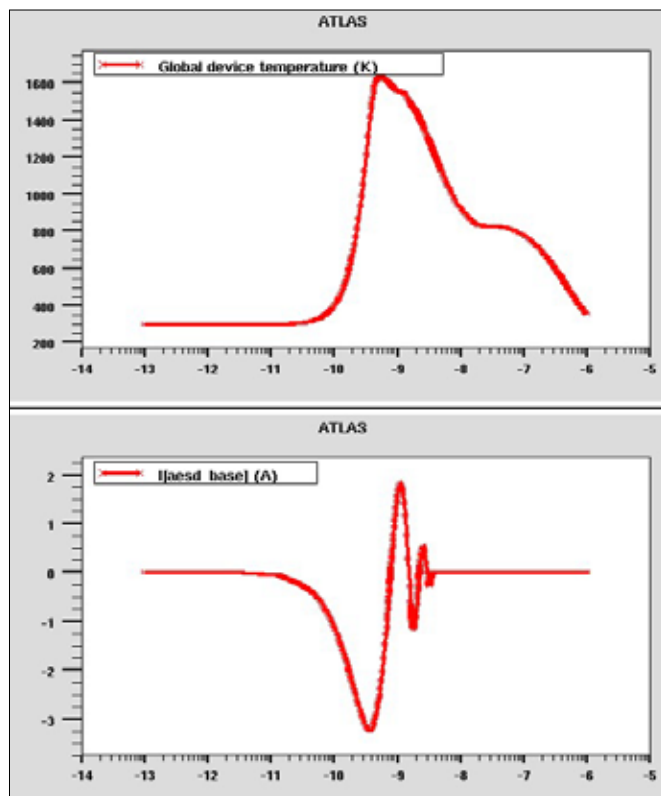
UMOS HexFET の I_d/V_g 特性

外部回路要素の追加

パワー・デバイスのテストやキャラクタライズは、他の受動負荷要素を接続して実行されることがよくあります。下記の図は、バイポーラ・トランジスタの端子に集中定数要素を接続し、テストを行っている例です。



デバイスと回路要素混合のシミュレーション

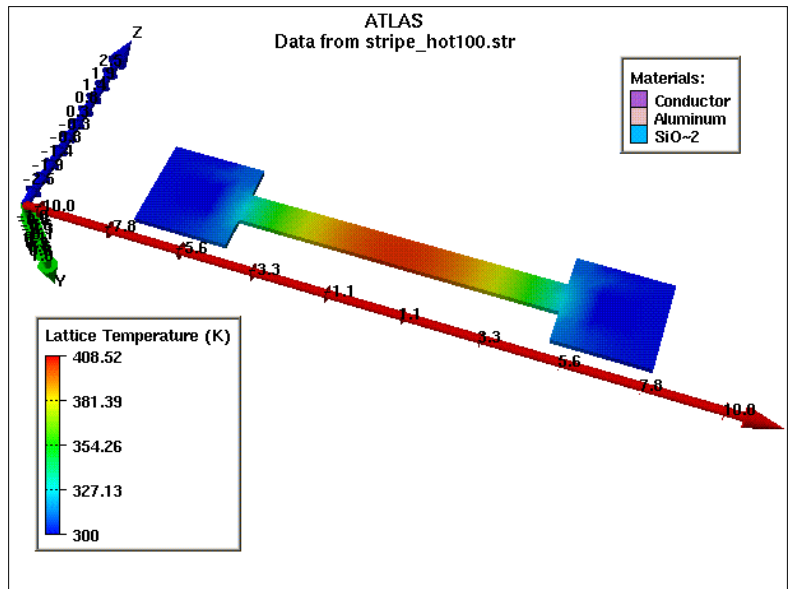


時間の関数として表した最大デバイス温度およびベース電流

自己発熱

大部分のパワー・デバイスは、通常動作時にかなりの熱を発生します。自己発熱のシミュレーションにより、どの部分が熱を帯びる可能性があるのかを検出できます。右図に、単純なレジスタを例に発熱効果を示します。自己発熱は、任意のデバイスに対してモデリング可能です。

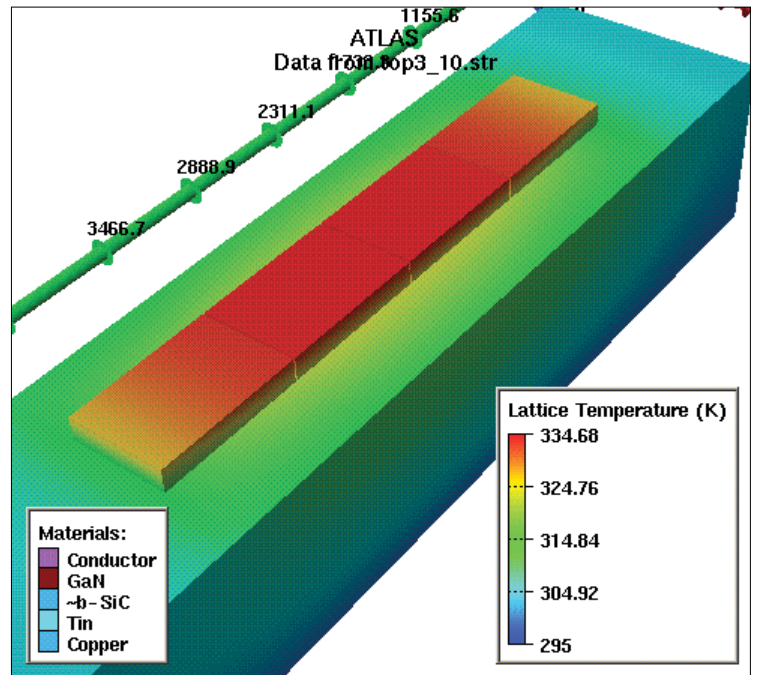
埋め込まれた相互接続アルミニウム・ラインの熱に起因するパッシベーション酸化膜表面の温度プロットです。



外部熱流量

いったんパワー・デバイスの熱出力をデバイス・レベルで解析すると、Thermal3Dシミュレータを使用して、ヒート・シンクやパッケージを共有している個々のパワー・デバイスまたは複数のパワー・デバイスを単なる熱源として解析でき、最終実装後、どのくらいパッケージが熱くなるのかを計測することが可能です。

銅のヒート・シンクの上にマウントされた、シリコン・カーバイド基板の GaN HEMT デバイス



SILVACO

株式会社 シルバコ・ジャパン
www.silvaco.co.jp

お問い合わせ : info@silvaco.co.jp

本社

〒244-0801
神奈川県横浜市戸塚区品濃町549-2
三宅ビル4F
TEL : 045-820-3000 FAX : 045-820-3005

京都サポートセンター

〒604-8152
京都府京都市中京区烏丸通 蛸薬師下ル 手洗水町651-1
第14長谷ビル 9F
TEL : 075-229-8207 FAX : 075-229-8208