

## ブロック・レベル キャラクタライズ/モデリング/STAツール

# AccuCore

**AccuCore** は、数 100 万素子規模の回路を高精度 **SmartSpice** を用いてタイミング・キャラクタライズします。また、数 100 万ゲート規模のブロック・レベル / フルチップにおいてスタティック・タイミング解析 (STA) を実行します。

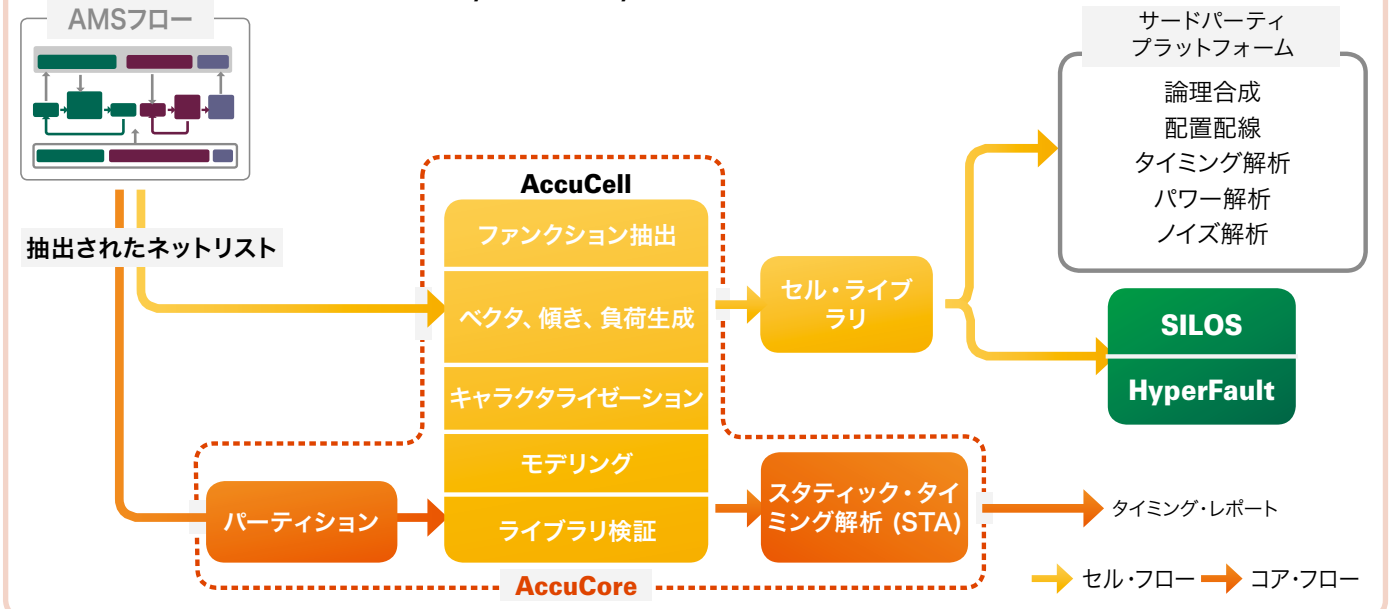


- ゲート・レベルの Verilog ネットリスト、Liberty (.lib) および SDF フォーマットのタイミング・モデルを生成し、STA (Static Timing Analysis) 用に DSPF および SDF ファイルを使用可能
- 指定したクリティカル・パス、クロック・ツリーの詳細な SPICE デッキを抽出可能
- 自動でブロックをセル・レベルに分割
- 高精度 SPICE キャラクタライズに要求される、セル・ファンクションの抽出およびベクタ生成を自動で実行
- 高速 API 機能をもとにした **SmartSpice** キャラクタライズ・エンジン搭載
- ゲート・レベルのブロック / フルチップにおける STA は、迅速なボトルネックの解析や、タイミング検証の環境を提供
- 強力なコマンド・セットは、カスタム、ASIC/SoC、もしくは両方の機能を持つデザインに対して、単一環境として対応可能

## セットアップ、 スクリプト機能

- セットアップを容易にする .lib から .cfg への自動インポート機能、また多種多様な .cfg ファイルを生成するスクリプトを装備
- すべてのフローにおいてケース・センシティブに対応
- 階層 / フラットのデザイン・フローに対応
- 先進的な RC モードは、大規模デザインを効率的に処理
- 傾きの伝播やスレッショルドをコントロールする高度なオプション群
- ユーザ定義のローディング手法をサポート
- 階層化 / フラットのブロック・ネットリストを自動でセル・レベルまで分割 (高度なユーザ書き換えオプションあり)
- RAM(Random Access Memory)/CAM(Contents Addressable Memory) のデザインにおいて、センス・アンプ部分と読み込み / 書き込みサイクル部分に分割
- 強度依存、状態依存の先進のファンクション抽出機能
- 自動クロック伝播機能 (ユーザ書き換え可能)
- 入力ベクタ制約のユーザ定義をサポート
- 素早い原因解析に役立つデバッグ / デザイン・レポートのオプション群

## ブロック・レベル キャラクタライズ/モデリング/STAツール



## キャラクタライズ、 モデリング機能

- 高速 API 機能をもとにした **SmartSpice** キャラクタライズ・エンジン搭載 (HSPICE および Spectre と 100%互換)
- セル・マッチング機能により再利用およびインクリメンタル・アップデート機能を向上
- FAST\_MODE のオプションでは、高速なプロトタイプ解析が可能
- ASIC フローのオプションは、スタンダード・セル・ベースのフローとして装備
- 自動入力容量キャラクタライズ手法
- セットアップ・ホールド、リカバリ・リムーバル、最小パルス幅などのキャラクタライズを自動化 (ユーザ書き換えオプションあり)
- ベクタの順序、サイズ決めを自動化 (ユーザ書き換え可能)
- マルチ・コーナ、マルチ・モードのフル・パス・モデルを一度の実行でキャラクタライズし、STA を高速化
- シミュレータのオプションを直接コントロール可能 (デフォルト設定あり)
- ゲート・レベルの Verilog ネットリストおよびタイミング・モデルを生成 (出力フォーマットを指定可能)

## ブロック・レベル STA機能

- ・ トランジスタ・レベルのカスタム・デザインにおいて、ゲート・レベルのタイミング・チェックが可能
- ・ 最長・最短パスのトレースに先進のアルゴリズムを利用
- ・ クリティカル・パス、サブクリティカル・パスのトレーシングで問題解決の繰り返し作業を低減
- ・ 自動フォルス・パス除去
- ・ 多数のパス制限用オプションのほか、ピン/ネット/アーク・ベースのブロッキング・オプションを用意
- ・ ファンクション・ベースのクロック伝播、制約伝播を実行することで、ECO 解析のやり直しによる影響を低減
- ・ 最新のスタティック/ダイナミックのロジックに対応 (ラッチ、フリップフロップ、マルチプレクサ、トライステートなど)
- ・ 内蔵のタイミング・チェックは、設計制約のスペックをシンプル化
- ・ マルチ・サイクル・パスをまたぐ多周波数クロックやゲーテド・クロックを解析
- ・ ゲーテド・クロック、データ間、クロック - データ間のパスのタイミング・チェックがカスタマイズ可能
- ・ バック・アノテーション用データとして、DSPF、SDF フォーマットをサポート
- ・ パスのアライバル/リクワイアード・ネットにおけるタイミングのポトルネック解析およびピン・ベースのタイミング要求に対応
- ・ フットレス・ロジックにおける立上り・立下りエッジのタイミング・スペックを分割することが可能

## AccuCoreの出力例

```
pin (icount[0]) {
  direction : input;
  capacitance : 0.282;
  clock : false;
  timing() {
    related_pin : "phi";
    timing_type : "setup_falling";
    rise_constraint (InSlopeClkSlope 3) {
      values ("1.302, 1.286, 1.250, 1.212, 1.136", \
        "1.342, 1.326, 1.290, 1.252, 1.176", \
        "1.365, 1.349, 1.313, 1.275, 1.199", \
        "1.374, 1.358, 1.322, 1.284, 1.208", \
        "1.376, 1.360, 1.324, 1.286, 1.210");
    }
    fall_constraint (InSlopeClkSlope 3) {
      values ("1.290, 1.274, 1.238, 1.200, 1.124", \
        "1.340, 1.324, 1.288, 1.250, 1.174", \
        "1.385, 1.369, 1.333, 1.295, 1.219", \
        "1.423, 1.407, 1.371, 1.333, 1.257", \
        "1.456, 1.440, 1.404, 1.366, 1.290");
    }
  }
  timing() {
    related_pin : "phi";
    timing_type : "hold_rising";
    rise_constraint (InSlopeClkSlope 3) {
      values ("-0.533, -0.520, -0.502, -0.489, -0.478", \
        "-0.568, -0.555, -0.537, -0.524, -0.513", \
        "-0.589, -0.576, -0.558, -0.545, -0.534", \
        "-0.601, -0.588, -0.570, -0.557, -0.546", \
        "-0.610, -0.597, -0.579, -0.566, -0.555");
    }
  }
}
```

```
-- Data Path --
Time(ns)  Net                               SigType  Edge  Inst(Cell)                InPin  OutPin  Delay(ns)  Slope(ns)
-----
0.200     shift_64/vmode[0]                         PrimData r      shift_64/i_dc_1435(dc_1435)  I0(ucd)  O0(ucd)  0.061      0.100
0.251     shift_64/vseam/vmode_n[0]                PrimData f      shift_64/i_dc_1436(dc_1436)  I0(ucd)  O0(ucd)  0.146      0.235
0.407     shift_64/vseam/vmode[0]                   PrimData r      shift_64/i_dc_1461(dc_1461)  I0(ucd)  O0(ucd)  0.076      0.141
0.483     shift_64/i_seam/left_n                     PrimData f      shift_64/i_dc_1635(dc_1635)  I0(ucd)  O0(ucd)  0.123      0.238
0.606     shift_64/vseam/left_n                     PrimData r      shift_64/i_dc_1636(dc_1636)  I0(ucd)  O0(ucd)  0.082      0.149
0.688     shift_64/vseam/bleft_n                    PrimData f      shift_64/i_dc_1838(dc_1838)  I0(ucd)  O0(ucd)  0.125      0.244
0.813     shift_64/vcnt_bleft[1]                    PrimData r      shift_64/i_dc_1919(dc_1919)  I1(ucd)  O0(ucd)  0.206      0.318
1.019     shift_64/vcnt17/u0/u2/n                  PrimData r      shift_64/i_dc_1920(dc_1920)  I0(ucd)  O0(ucd)  0.093      0.171
1.112     shift_64/vcnt17/u0/bent[0]                PrimData f      shift_64/i_dc_1923(dc_1923)  I0(ucd)  O0(ucd)  0.124      0.196
1.236     shift_64/vcnt17/u0/u2/2                  PrimData r      shift_64/i_dc_1924(dc_1924)  I0(ucd)  O0(ucd)  0.087      0.148
1.643     shift_64/vcnt17/u0/c1                     PrimData f      shift_64/i_dc_1925(dc_1925)  I1(ucd)  O0(ucd)  0.167      0.306
1.490     shift_64/vcnt17/u0/u3/2                  PrimData r      shift_64/i_dc_1926(dc_1926)  I0(ucd)  O0(ucd)  0.081      0.144
1.571     shift_64/vcnt17/c2                        PrimData f      shift_64/i_dc_1929(dc_1929)  I1(ucd)  O0(ucd)  0.137      0.216
1.708     shift_64/vcnt17/u1/u2/2                  PrimData r      shift_64/i_dc_1930(dc_1930)  I0(ucd)  O0(ucd)  0.091      0.160
1.799     shift_64/vcnt17/u1/c1                     PrimData f      shift_64/i_dc_1933(dc_1933)  I0(ucd)  O0(ucd)  0.170      0.305
1.969     shift_64/vcnt17/u1/u3/2                  PrimData r      shift_64/i_dc_1934(dc_1934)  I0(ucd)  O0(ucd)  0.105      0.182
2.074     shift_64/vcnt17/c4                        PrimData f      shift_64/i_dc_1937(dc_1937)  I0(ucd)  O0(ucd)  0.225      0.153
2.299     shift_64/vcnt17/u2/u1/sum_n              PrimData f      shift_64/i_dc_1938(dc_1938)  I0(ucd)  O0(ucd)  0.154      0.293
2.453     shift_64/count17                          PrimData r      shift_64/i_dc_2895(dc_2895)  I0(ucd)  O0(ucd)  0.155      0.261
2.608     shift_64/mx17/z_n                        PrimData r      shift_64/i_dc_2896(dc_2896)  I0(ucd)  O0(ucd)  0.063      0.111
2.671     shift_64/q[17]                           PrimData f      shift_64/i_dc_2897(dc_2897)  I2(ucd)  O0(ucd)  0.142      0.300
2.813     shift_64/mxk17/dq_n                      PrimData r      shift_64/i_dc_2898(dc_2898)  I1(ucd)  O0(ucd)  0.049      0.103
2.862     shift_64/result[17]                      PrimData f

Total path delay without offset:2.662ns

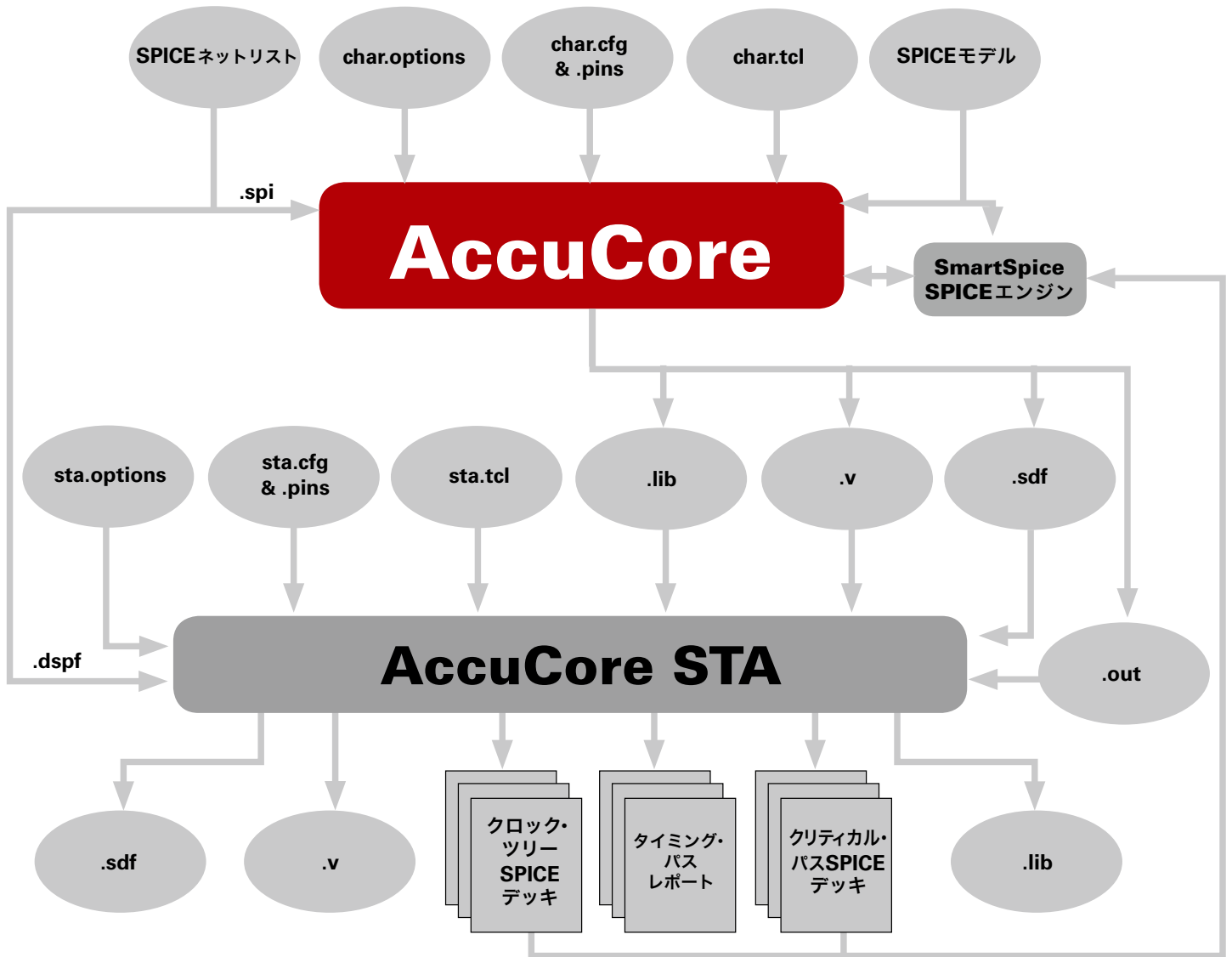
Check:30 setup(0.200ns) -0.361ns ---- shift_64/phi r shift_64/result[13] f
Margin (RefTime(RefPath)-DataTime(DataPath)-setupConstraint): 2.700ns-2.861ns-0.200ns=-0.361ns
```

傾き × 負荷 (5×5) の行列を用いた、ブラック・ボックス・モデルのパス・レポートの例  
64ビット・シフト・ブロックの1つのピンに関するピン・タイミングの例 (.lib)

## フルチップSTA機能

- ・ ブロック・レベル、フルチップ・レベルの STA を実行可能
- ・ タイミング・モデルの生成は、コンプレス、リング-インタフェース、ブラック・ボックスに対応
- ・ 階層化 Verilog ネットリスト、モード・ベースのマルチ・コーナ解析をサポート
- ・ バック・アノテーション用データとして、DSPF、SDF フォーマットをサポート
- ・ 階層化デザイン手法によるブロック・レベルのタイミング制約生成、スラックの取り扱いを制約マネージメントとして制御可能
- ・ クロックにおける共通なパスを考慮し、ユーザ定義のスキューに基づいたタイミング解析が可能
- ・ 先進のデバッグ機能は、クロック波形、クロック伝播、ネットリスト、ライブラリ、解析、検証をサポート
- ・ TCL ベースの API インタフェースは、ファンクション解析やカスタム・レポートを出力

# AccuCore の入力/出力



**SILVACO**

株式会社 シルバコ・ジャパン  
www.silvaco.co.jp

お問い合わせ : [info@silvaco.co.jp](mailto:info@silvaco.co.jp)

**横浜本社**

〒244-0801  
神奈川県横浜市戸塚区品濃町549-2  
三宅ビル4F  
TEL : 045-820-3000 FAX : 045-820-3005

**京都オフィス**

〒604-8152  
京都府京都市中京区烏丸通 蛸薬師下ル手洗水町651-1  
第14長谷ビル 9F  
TEL : 075-229-8207 FAX : 075-229-8208