

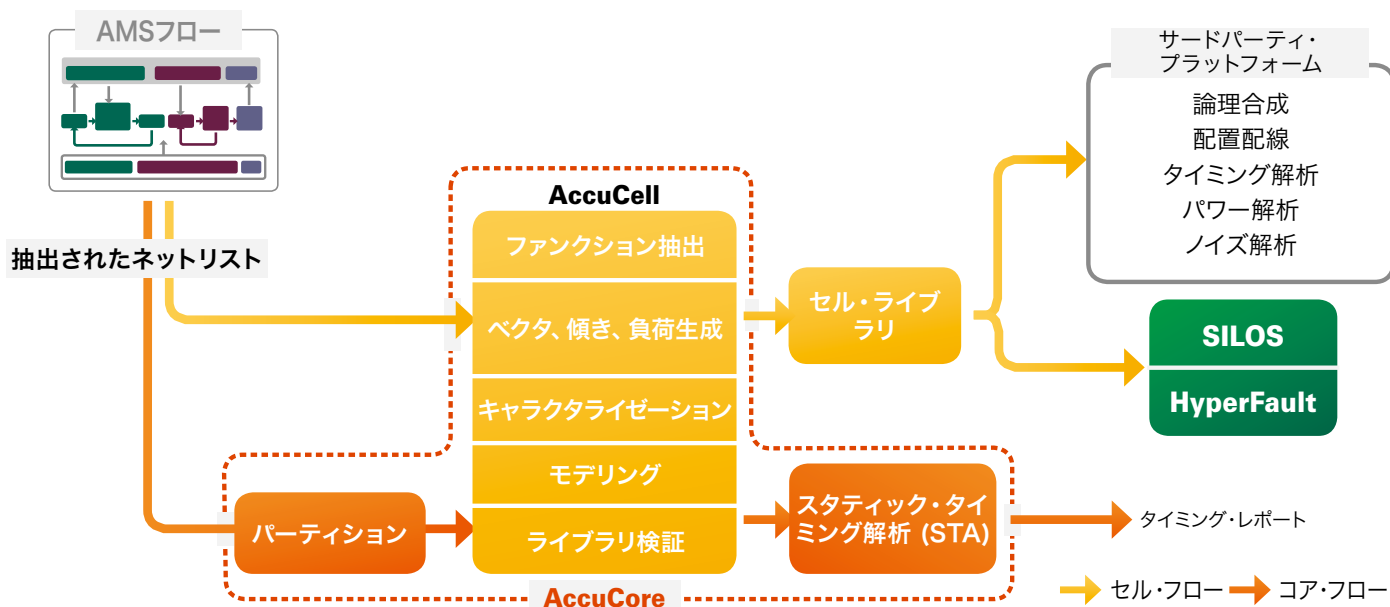
セル・ライブラリ / ブロック キャラクタライゼーション・サービス

セル・ライブラリおよびブロック向けキャラクタライゼーション・サービスでは、お客様のデザイン・フロー環境を最大限に活用するための最良の手法を提供します。次のサービスが含まれます。

- ・ セル・ライブラリ / ブロックのキャラクタライゼーション
- ・ COT手法およびセットアップ
- ・ お客様のIPを用いたカスタム・トレーニング

スタンダード・セル・ライブラリ、I/O、カスタム・セル/コアにおける、業界標準の論理合成 / シミュレーション / 最適化 / 解析などのツールに要求される正確なタイミング、パワー、リーク、ノイズ・モデルをCOT環境で結果を再生成する場合と同様のライブラリを提供します。

キャラクタライズおよびモデリング・プロセス



納品データ

Synopsys Liberty (.lib)ライブラリ — 論理合成、フロアプラン、配置配線、およびスタティック・タイミング解析ツール向けのタイミング/パワー・ライブラリ

Verilog (.v) — IEEE 1364-2001準拠のVerilogセル・ライブラリおよびIEEE 1364-2001準拠のバックアノテーション向けデザイン・クラスタ間の接続Verilogモデル(コアのみ)

セル・ドキュメント — セルの構成、グラフィック、真理値表、入力容量、消費電力、伝播遅延に関するデータシート

ハイ・レベル・タイミング・モデル (コアのみ) — ブラック・ボックス(コアに埋め込まれた完全なブロックやアナログ回路のインスタンス)圧縮モデル、およびリング・モデル

パス・レポート(コアのみ) — 全パス・タイミング・モデル、クロス・リファレンス・ファイル、"保持された"サブサーキット

お客様よりご提供いただくデータ

SPICEモデル — ファウンドリ提供のプロセス条件(温度、電圧、プロセス)におけるHSPICEモデル・ファイルを提供していただきます。シルバコでは、ウェハまたは測定データからSPICEモデルを抽出することができ、各デバイスにおける測定データとシミュレーション比較レポートを作成することも可能です。

抽出した回路ネットリスト — セル/コアでキャラクタライズされるSPICEネットリスト(寄生を含む)を提供していただきます。シルバコのGDSIIから寄生抽出サービスをオプションで利用していただくこともできます。このオプション・サービスでは、抽出および配線のテクノロジー・データをお客様より提供していただく必要があります。

プロセス・コーナおよびオプション — シルバコからの質問表にご記入いただき、それに基づいてプロセス・コーナ、電圧、温度、抽出条件、最大動作周波数、最大入力遷移時間、入力ピン容量オプション、セットアップ/ホールド・オプション、データシート・オプション、その他のオプション、EDAモデル・ビュー要件、およびバージョン互換性を含むキャラクタライズの構成条件を決定します。

回路ドキュメント — お客様独自のセルやコアについて正確なキャラクタライズを行うために、スキマティック、真理値表、回路記述、波形などの回路ドキュメントが必要となる場合があります。セルのスキマティック・ファイルは、データシートに反映させる場合にのみ必要です。

SILVACO

株式会社 シルバコ・ジャパン
www.silvaco.co.jp

お問い合わせ : info@silvaco.co.jp

横浜本社

〒244-0801
神奈川県横浜市戸塚区品濃町549-2
三宅ビル4F
TEL : 045-820-3000 FAX : 045-820-3005

京都オフィス

〒604-8152
京都府京都市中京区烏丸通 蛸薬師下ル手洗水町651-1
第14長谷ビル 9F
TEL : 075-229-8207 FAX : 075-229-8208