



## Verilog-A言語 - ソース・コード、コンパイル型、暗号化対応

# Verilog-A

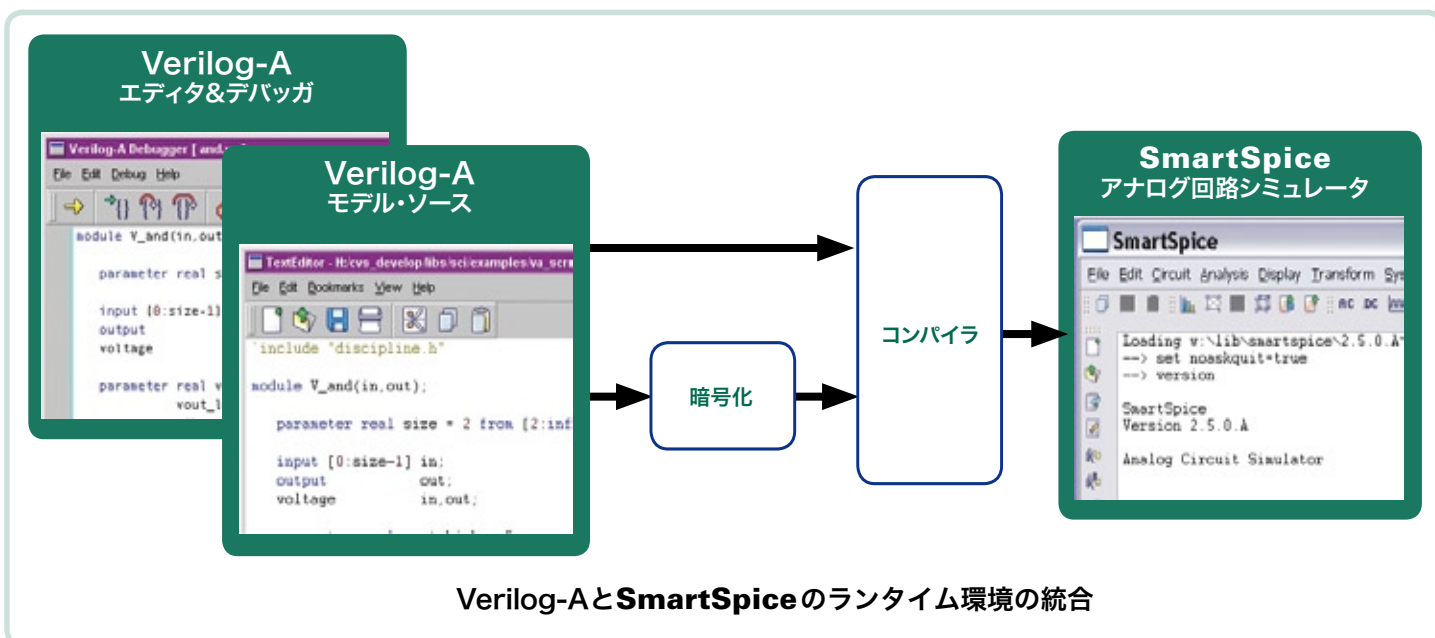
Verilog-A 言語は、**SmartSpice** アナログ回路シミュレータと組み合わせて使用するコンパイル型のアナログ HDL です。回路設計者やモデル開発者に使いやすい統合デザイン環境を提供します。複雑なアナログ/ミックスド・シグナル回路およびモデルを、容易に設計、検証することが可能になります。

- **SmartSpice** Verilog-A のランタイム・パフォーマンスは、C言語にコンパイルされた ADMS モデルの 2 倍以内
- アナログ/ミックスド・シグナル設計において、ビヘイビア・モデリングを利用した トップダウン設計、およびボトムアップ検証を実現
- あらゆる半導体テクノロジーに対する独自のモデルを開発可能
- 仕様を実行可能な形式で記述することで、アナログ・エンジニアとデジタル・エンジニアが 1 つの設計プロジェクトを遂行可能
- 完全 / 部分暗号化とバイナリ・ファイルにより、IP を安全な方法で配布、評価可能



## Verilog-Aの 主な特長

- **SmartSpice** Verilog-A のランタイム・パフォーマンスは C 言語にコンパイルされた ADMS モデルの 2 倍以内
- Verilog-AMS 2.3.1 言語仕様のすべてのアナログ機能に準拠
- 複数の分布関数（ガウス分布、指数分布、ポアソン分布、chi-square、Student's T、Erlang）における小信号源およびノイズ源をサポート
- 時間積分 / 微分、偏導関数、遷移、スルー、ラプラス変換、Z 変換などのアナログ演算子を実行
- **SmartSpice** は SPICE ネットリスト、C 言語、C++、および Verilog-A 混在シミュレーションを実行可能
- サブサーキット X の呼び出しにより Verilog-A デバイスを参照可能
- .MODEL ステートメントを使用して Verilog-A モジュールを参照可能
- 各 Verilog-A モジュールに対してスパース行列を生成することで、メモリ消費量と実行時間を大幅に削減
- Verilog-A ソースの暗号化 / 部分暗号化により、独自開発されたモデルの内容を開示することなく配布可能
- Verilog-A は、SILVACO ModelLib ライブラリとして提供
- シングルイベント・アップセット (SEU) 解析をサポート



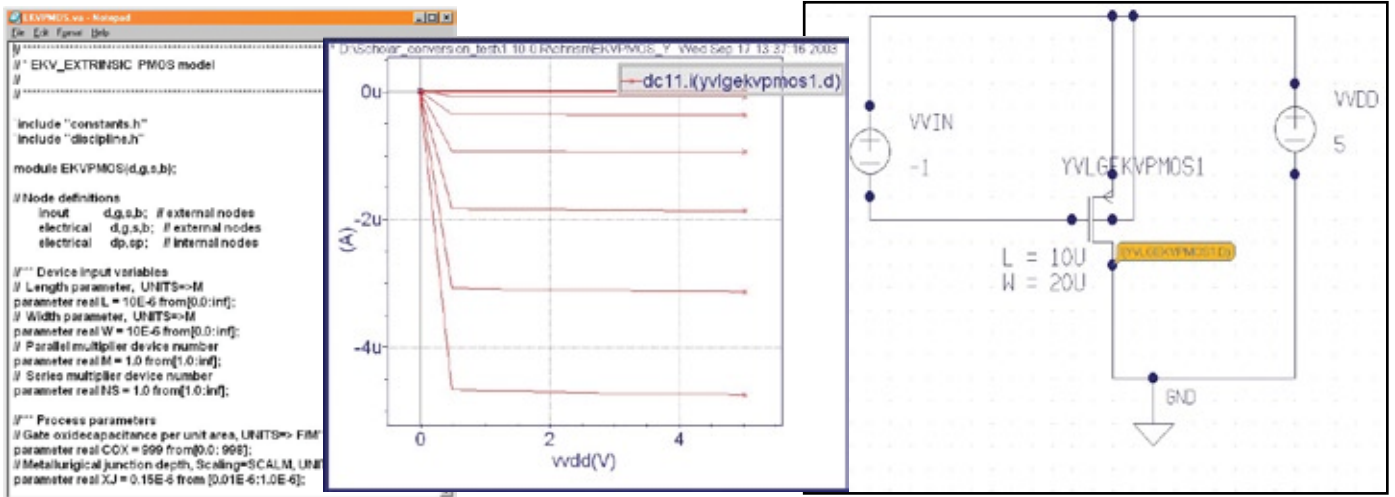
Verilog-AとSmartSpiceのランタイム環境の統合

## アナログ・ ビヘイビア・ モデリング環境

- PLL (VCO を含む) や A/D および D/A コンバータなどの設計仕様を実行可能な形式でアナログ設計者が作成することにより、回路の詳細設計前のプロトタイピングに対応可能
- デジタル部をミックスド・シグナルのサブサーキットとして記述可能 (代表例:  $\Sigma \Delta$  型コンバータ)
- 強力なグラフィカル・ポストプロセッサでは、波形のオーバレイ表示により、ミックスド・シグナルのデバッグ作業を大幅に効率化

## Verilog-A対応の SmartSpice 最適化機能

- **SmartSpice** の最適化機能は、Verilog-A モジュールを含む入力デッキに使用可能
- 最適化ターゲットは、次の組み合わせにより定義可能
  - 遅延、立上り / 立下り時間、電力消費などのパラメータ
  - DC、AC、過渡特性の曲線
- 次のパラメータを最適化することでターゲットを達成可能
  - トランジスタの長さや幅
  - デバイス・モデルのパラメータ



Verilog-A環境により、.DC、.TRAN、.AC、.NOISE、.TEMPに対するコンパイル済みのモデルを開発可能

### コンパクト・モデル 開発環境

- Verilog-Aコンパクト・モデルをバイナリ・コードにコンパイルして高速な実行が可能
- 特定の半導体テクノロジーに対する独自の SPICE モデルを容易に開発可能
- 統合開発 / デバッグ環境により、コンパクト・モデルの開発期間を大幅に短縮
- **SmartSpice** ネットリストに SPICE モデル・ステートメントと Verilog-A モジュールを混在記述可能

```

module D_PLL(RF, OUT, ref);
inout RF, OUT, ref;
electrical RF, OUT, ref;

parameter real tau = 1m from (0:inf);
parameter real loop_gain = 1 from (0:inf);
parameter real fc = 2.5k from (0:inf);

real c_nom;
real r_nom;

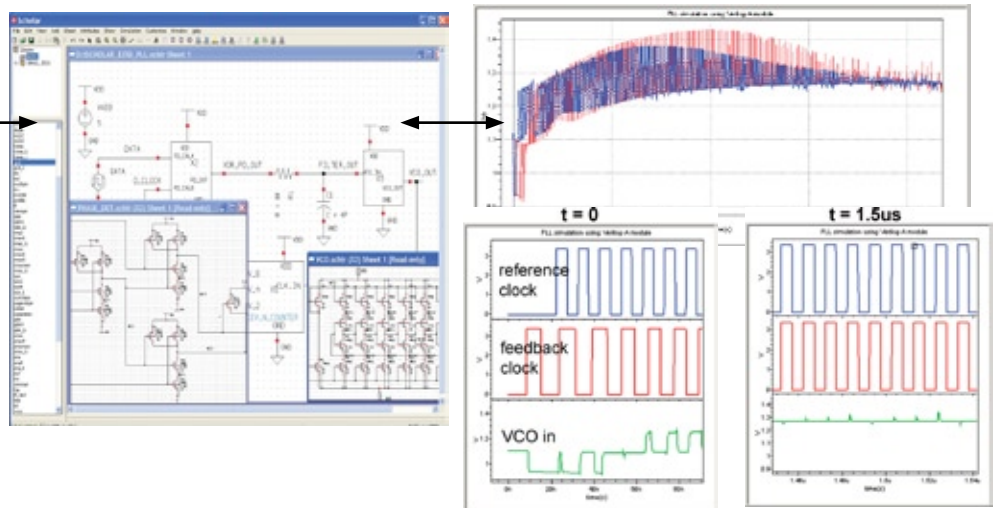
electrical LO, IF;

PD #(.gain(2), .type("mult")) pd(LO, RF, IF);
VCO #(.gain(loop_gain/2), .fc(fc)) vco(OUT, LO);

initial
begin
c_nom=170n;
r_nom = tau/c_nom;
end

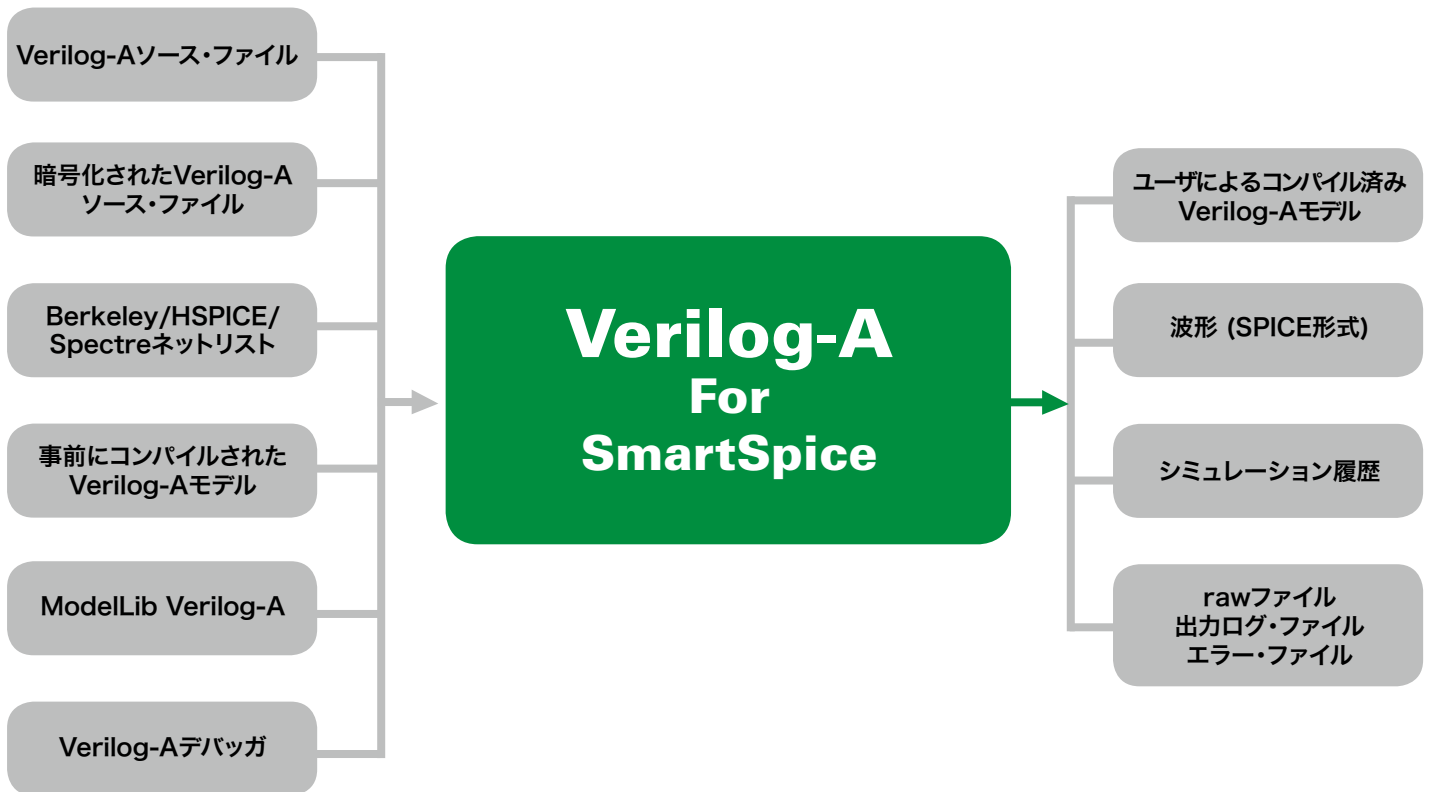
analog
begin
V(OUT, IF) <+ I(OUT, IF)*r_nom;
I(OUT, ref) <+ ddt(c_nom*V(OUT, ref));
end

```



Verilog-Aを使用したデザイン・フロー(デジタルPLLの例)

# Verilog-A の入力/出力



**SILVACO**

株式会社 シルバコ・ジャパン  
www.silvaco.co.jp

お問い合わせ : [info@silvaco.co.jp](mailto:info@silvaco.co.jp)

**横浜本社**

〒244-0801  
神奈川県横浜市戸塚区品濃町549-2  
三宅ビル4F  
TEL : 045-820-3000 FAX : 045-820-3005

**京都オフィス**

〒604-8152  
京都府京都市中京区烏丸通 蛸薬師下ル手洗水町651-1  
第14長谷ビル 9F  
TEL : 075-229-8207 FAX : 075-229-8208