

# Catalyst DA

Verilog ネットリスト / SPICE ネットリスト ・ コンバータ



**Catalyst DA** は、Verilog ネットリストを同等の SPICE 形式ネットリストに変換するソフトウェア・プログラムです。SPICE ネットリストはレイアウト検証または SPICE シミュレーションに使用できます。

- Verilog 構造記述から SPICE ネットリストを生成するための自動ソリューションを提供
- IEEE 1364-2001 に準拠した Verilog 入力ファイルに対応
- Calibre 拡張 SPICE 形式および標準 SPICE 形式のネットリストを生成
- Verilog ソース・ファイルのシンタックスおよび構文チェックを実行
- モジュール定義の一部が不足している場合でも Verilog ネットリストの部分変換を実行可能
- SPICE 電源およびグラウンド・ネットを自動生成 / 接続
- 数百万ゲートの Verilog ネットリストを処理可能
- **Catalyst DA** と **Guardian LVS** を併用して、完全なレイアウト検証ソリューションを提供
- お客様とサード・パーティ企業の大切な知的財産を守る、シルバコの強力な暗号化技術を利用可能

**SILVACO**

## 特徴

- ・ コマンド・オプションをオプション・ファイルに統合することにより、再利用が容易になりプロジェクト管理が効率化
- ・ 電源およびグラウンド・ネットのフレキシブルな命名オプション
- ・ プリミティブ・ゲート命名オプションにより、名前の矛盾を解決
- ・ サブサーキット定義に新規のピンを追加可能

### 入力例:

```
module top ();
supply1 PWR;
supply0 GND;
wire [0:1] w1;
wire a,b,c;
A inst1 ( 2'b10, w1 );
and inst2 (a, b, c);
endmodule

module A ( in1, out1 );
input [0:1] in1;
output [0:1] out1;
endmodule
```

### 出力例:

```
.SUBCKT top
Xinst1 PWR GND w1[0] w1[1] A
Xinst2 a b c and
.ENDS

.GLOBAL GND
.GLOBAL PWR

.SUBCKT A in1[0] in1[1] out1[0] out1[1]
.ENDS
```

## Catalyst DAの入力/出力



**SILVACO**

株式会社 シルバコ・ジャパン  
www.silvaco.co.jp

お問い合わせ : [jpsales@silvaco.com](mailto:jpsales@silvaco.com)

#### 横浜本社

〒220-8136  
神奈川県横浜市西区みなとみらい 2-2-1  
横浜ランドマークタワー 36F  
TEL : 045-640-6188 FAX : 045-640-6181

#### 京都オフィス

〒604-8152  
京都市中京区烏丸通蛸薬師下ル手洗水町 651-1  
第14長谷ビル 9F  
TEL : 075-229-8207 FAX : 075-229-8208