

Gateway

スキマティック・エディタ



Gateway は、あらゆるテクノロジーのフラット/階層設計に対応するスキマティック・エディタです。他社製ツールの設計データを、EDIF 200 経由でスムーズに読み込みます。大規模な設計チームでも快適に使用できるように、設定のグローバル管理機能や、複数のデザインやテクノロジーを個別のワークスペースで管理する機能を搭載しています。

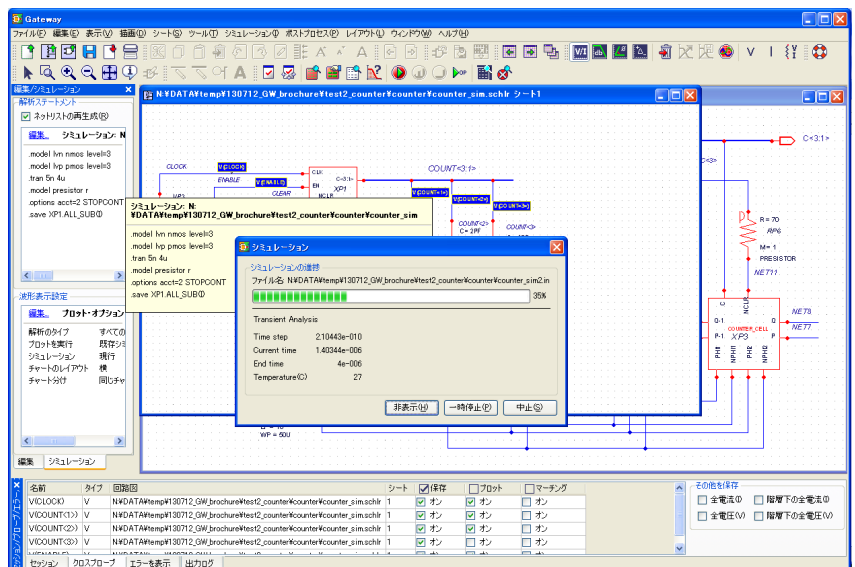
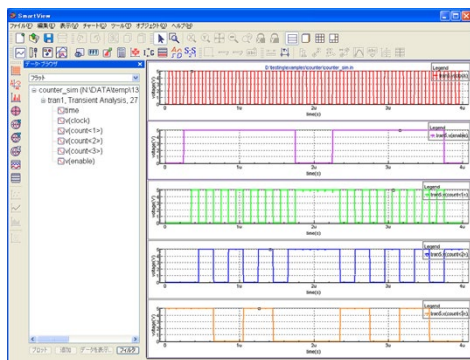
- 強力なスキマティック・キャプチャ/エディタ機能を利用して、マルチ・ビュー、マルチ・シート構造の階層型 IC デザインを作成/編集可能
- **SmartSpice** アナログ回路シミュレータとシームレスに連携し、インタラクティブな統合デザイン環境を実現 (ビヘイビア・モデル、クロスプロービング、波形表示、解析)
- HSPICE 互換インプット・デッキを作成可能
- Verilog HDL (IEEE 1364-2001 準拠) のインプット・デッキを作成し、シルバコのデジタルシミュレータ Silos とリンク可能
- 複数ユーザのプロジェクトに対応し、チーム全体で使用するセル/シンボルのライブラリを共有ワークスペースで管理可能
- EDIF 200フォーマットを介して他社製ツールから移行可能
- ひとつのスキマティックから、SPICE シミュレーション、LVS、NDL、CDL 用など、さまざまな用途に適したネットリストの生成が可能
- お客様とサード・パーティ企業の大切な知的財産を守る、シルバコの強力な暗号化技術を利用可能
- JavaScript を使用した高度なスクリプティング
- OpenAccess と iPDK への対応

SILVACO

豊富な機能

- ・ シンボル、サブサーキット、サブスキマティック、Verilog-A モデルを容易に作成可能
- ・ 強力なシンボル作成 / 編集機能は、シミュレーション、スキマティック・ドリブン・レイアウト、LVS 検証に対応
- ・ キー・カスタマイズにより、定型作業の省略、他社製ツール風の操作が可能
- ・ 充実の検索 / 置換機能は、インポート / エクスポート、IP の再利用、インタラクティブな設計に対応
- ・ 階層キャプチャ機能は、再使用可能なモジュール型デザインやライブラリ、および既存の回路データの処理に対応
- ・ リッピング、マージなどの強力なバス配線機能
- ・ ルール・チェック機能 (設計者がカスタマイズ可能) は、配線ルール違反や不適切なノード名に対する警告やエラーを表示
- ・ P-Cell ベースにおけるレイアウト設計の入力に、回路の接続性を継承
- ・ Verilog または SPICE ネットリストからシンボルの自動生成が可能

Gateway は、階層設計に対応するフロントエンド・ツールです。
クロスプロービング、Marching Waveform (リアルタイム波形表示)、解析オプション、最適化などの機能を提供します。



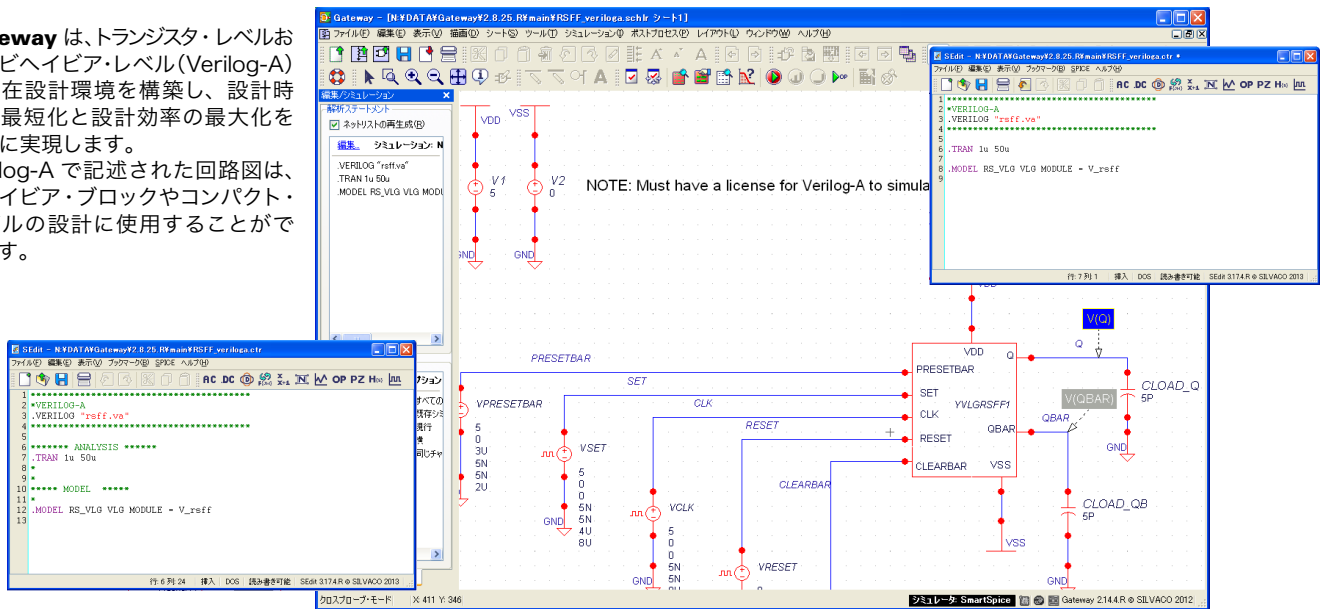
スムーズな導入と優れた操作性

- ・ 幅広いカスタム設定の PDK を利用可能
- ・ 新規ユーザにも熟練ユーザにも使いやすい操作 (左から右への直感的な設計手法、ポップアップ・ヒント、およびシミュレーションのバッチ制御)
- ・ マルチユーザによる共有ライブラリ環境を構築でき、さらに、既存の設計データも EDIF フォーマット変換を使用して容易にインポート可能
- ・ 新規ユーザに役立つヘルプ機能とポップアップ・ヒント
- ・ バッチ・モードのシミュレーションを回路図から直接呼び出し可能
- ・ パラメータの最大 / 最小値チェック機能で入力エラーを解消
- ・ 配線 - 配線間、配線 - ピン間の接続に加え、名前による接続、間接接続、グローバル接続をサポート

カスタム IC 設計 の統合プラット フォーム

- ・ フロントエンドからバックエンドまで一貫した、カスタム・アナログ IC 向け EDA ソリューションを提供
- ・ ビヘイビア・モデリング、回路図作成、回路シミュレーション、レイアウト、DRC/LVS、寄生素子抽出の各ツールを、確実なフィードバック・フローで結合
- ・ **SmartView** 波形ビューワと連携し、遅延、傾き、オーバーシュート、立上り時間のオーバーレイ測定、アイ・ダイアグラム、ベクタ・カルキュレータを提供
- ・ 回路図 / ポストプロセス間の強力なクロスプロービングにより、設計のリアルタイム・フィードバックを提供
- ・ コールバック機能により、デザイン・ルール、許容値、パラメータ計算、プロセス・スキューに関する式をリアルタイムに処理
- ・ 電流および電圧に対する DC バイアスを、全階層において表示可能

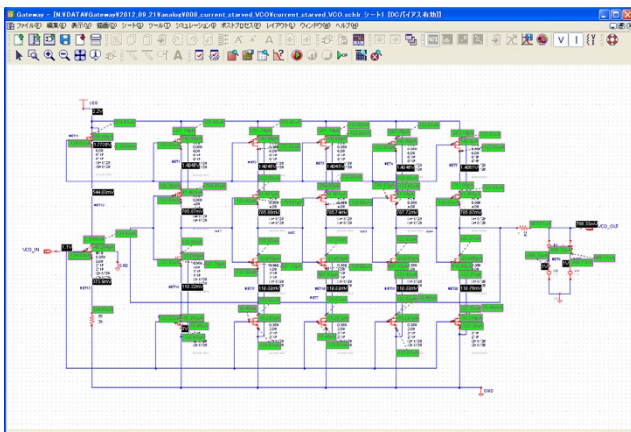
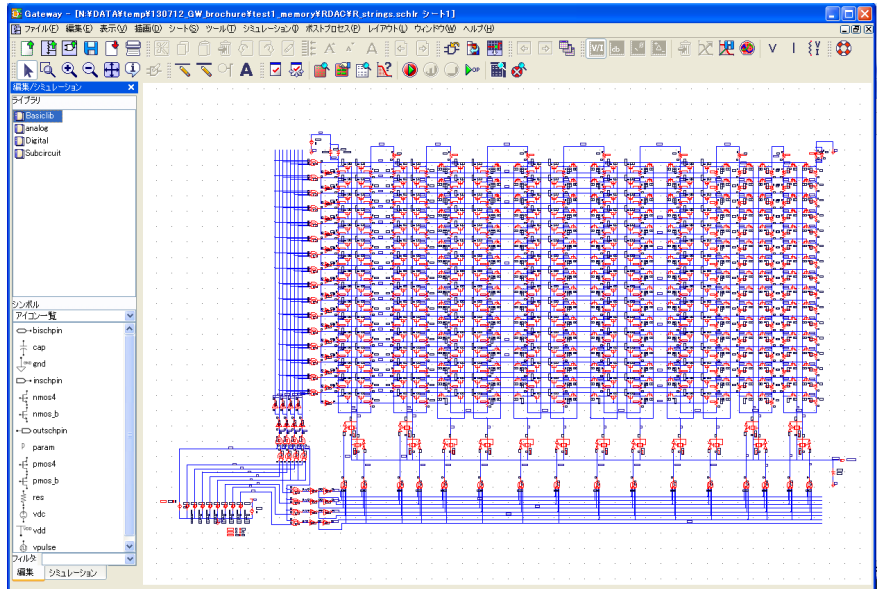
Gateway は、トランジスタ・レベルおよびビヘイビア・レベル(Verilog-A)の混在設計環境を構築し、設計時間の最短化と設計効率の最大化を同時に実現します。Verilog-A で記述された回路図は、ビヘイビア・ブロックやコンパクト・モデルの設計に使用することができます。



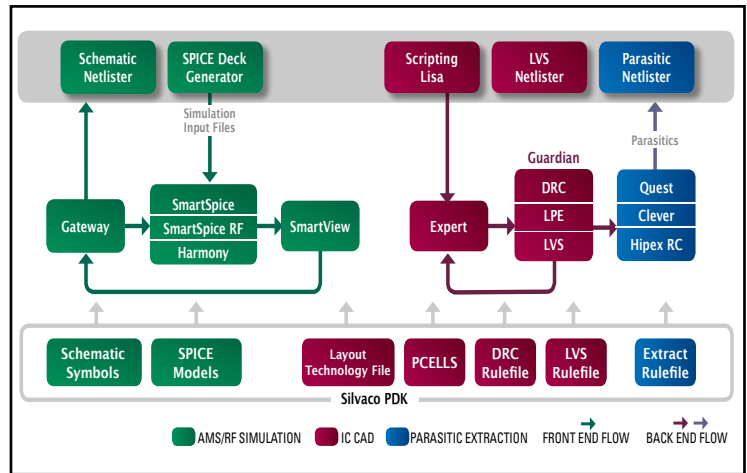
効率的な設計環境

- ・ レイアウト、シミュレーション、LVS 検証をそれぞれ別々のウィンドウに表示し、デザインの整合性とスムーズなテーパーアウトを実現
- ・ 表形式のデータ入力、ネットリストのインポート、EDIF 2 0 0の読み込み、自動シンボル生成など、既存データの再利用を支援するさまざまな機能
- ・ デザイン・キットに含まれるシンボルについて暗号化ネットリストに対応し、IP 配布時の守秘性を確保
- ・ シミュレーション結果をリアルタイムに表示する Marching Waveform 機能により、長時間のシミュレーションもモニター可能
- ・ 回路図作成、シミュレーション、解析の一連の設計フローを効率的に制御
- ・ エラーのハイライト表示や、回路図上の場所 / 階層のズーム表示などにより、効率的なデバッグが可能

Gatewayは、デジタル/アナログ・ブロック、スタンダード・セル、I/O、階層型メモリ(右図)などの構造に適用可能です。幅広いデザインをインタラクティブに作成、インポート/エクスポートできます。



電流、電圧の初期動作点を回路図に表示するDCバイアス機能



統合カスタムICデザイン・プラットフォームにおける**Gateway**

SILVACO

株式会社 シルバコ・ジャパン
www.silvaco.co.jp

お問い合わせ : jpsales@silvaco.com

横浜本社

〒220-8136
神奈川県横浜市西区みなとみらい 2-2-1
横浜ランドマークタワー 36F
TEL : 045-640-6188 FAX : 045-640-6181

京都オフィス

〒604-8152
京都市中京区烏丸通蛸薬師下ル手洗水町 651-1
第14長谷ビル 9F
TEL : 075-229-8207 FAX : 075-229-8208

