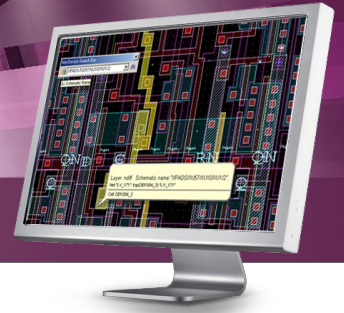


Guardian

DRC/LVS/NET 物理検証ツール



Guardian は、アナログ/ミックスド・シグナル/RF IC 向けの物理検証ツールです。インタラクティブな検証とバッチ検証に対応しています。スキマティック・エディタおよびレイアウト・エディタと連携し、DRC (デザイン・ルール・チェック)、レイアウト・ネットリスト抽出、および LVS (レイアウト対スキマティック) を効率的に実行できます。

- 64 ビット Linux アーキテクチャ向けに最適化
- **Expert** レイアウト・エディタや **Gateway** スキマティック・エディタとのシームレスな統合により、回路図入力からレイアウト検証までの統合アナログ / ミックスド・シグナル / RF 設計フローを実現
- Dracula™ および Diva™ から変換された DRC/LVS/NET ルール・ファイルをサポート
- ファウンドリで検証済みのプロセス・デザイン・キット (PDK) を通して、広範な半導体プロセス・テクノロジーをサポート
- レイアウト-スキマティック表示間のクロスプロービングにより、素早く直感的な階層 LVS デバッグを実現
- **Guardian NET** のパラメータ抽出は、応力効果およびウェル近接効果をサポート
- お客様とサード・パーティ企業の大切な知的財産を守る、シルバコの強力な暗号化技術を利用可能
- レイアウトとレイアウトの比較が可能 (LVL)

SILVACO

Guardian DRCの主な機能

スムーズな導入と優れた操作性

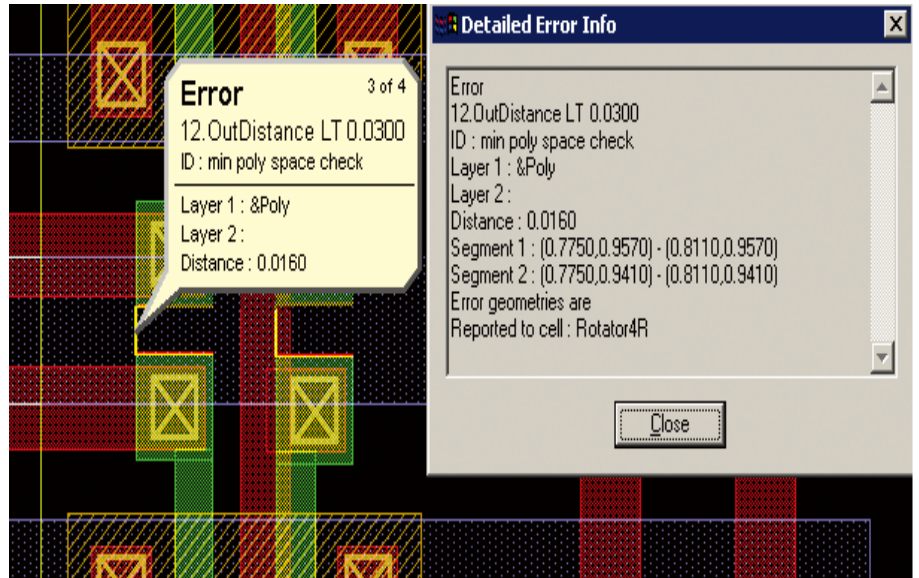
- ・ 先進の DRC ツールとの幅広い互換性
- ・ シンプルなインストール手順により、ユーザ自身で環境をセットアップ可能
- ・ 視覚情報と文字情報による分かりやすい DRC エラー・レポートは、新規ユーザにも熟練ユーザにも直感的に理解可能

生産性と汎用性

- ・ あらゆる設計環境に対応する充実した DRC コマンド・セット (インタラクティブに実行する局所的な DRC、バッチ・モードで実行するフルチップ DRC)
- ・ 効率的なメモリ管理と先進のアルゴリズムによってレイヤ操作を最適化し、Windows および Linux の性能を最大限に活用
- ・ 接続性ベースの DRC 機能 (アンテナ・ルール・チェック機能など)
- ・ グラフ理論ベースのタスク処理により、DRC コマンドの実行を最適化

高い生産性

Expert レイアウト・エディタの画面上で、DRC エラーを視覚的に表示。直感的にデバッグできます。



抜群の精度、速度、キャパシティ

- ・ 90°、45° および任意の角度のオブジェクトをサポート (アナログ/ミックスド・シグナルのデザインで特に重要な精度における妥協なし)
- ・ インタラクティブ DRC は、**Expert** レイアウト・エディタ上で局所的DRC を高速実行し、チップレベルと同じエラー・データベースにエラーを保存
- ・ 階層型の DRC レポート・データベースで、DRC 実行履歴を管理
- ・ 階層型の DRCエラー・レポート機能による、レイアウト・デバッグ効率の向上
- ・ マルチスレッド DRC によるパフォーマンスとキャパシティの飛躍的な向上

Guardian LVS/NETの主な機能

スムーズな導入 と優れた操作性

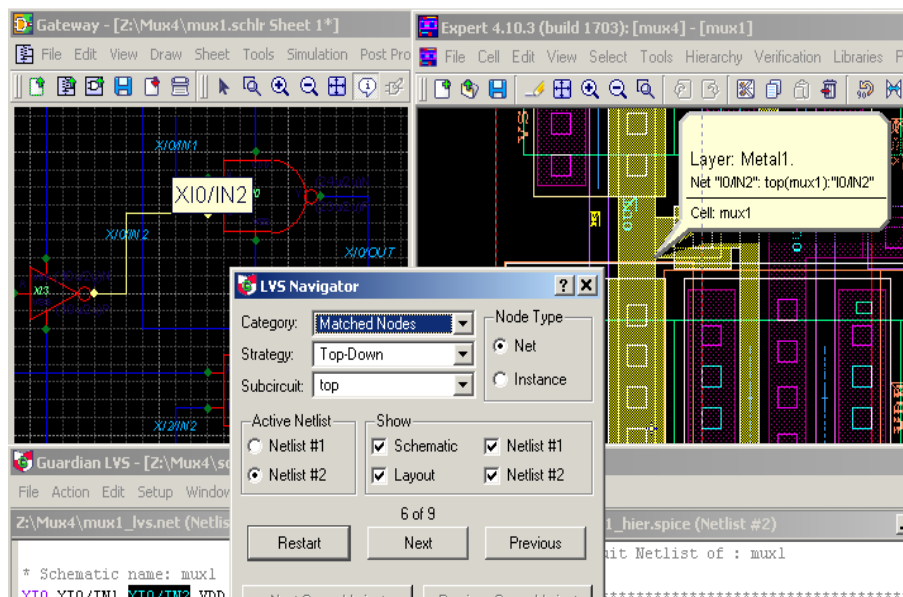
- 直感的にわかりやすい階層 LVS エラー・レポートで、デバッグ時間を大幅に短縮
- Gateway** スケマティック・エディタと **Expert** レイアウト・エディタ間でデータベースを直接リンクすることで、グラフィカルなエラー・レポートとしてクロスプロービングを実行
- サブサーキット用ブラックボックス・オプションにより、階層モードでのインクリメンタル LVS 比較と、最上位レベルの検証済みデザインへの IP ブロックの容易なインクルードを実現

抜群の精度、 速度、 キャパシティ

- アナログ設計で重要なジオメトリ依存 SPICE パラメータを、デフォルトまたはユーザ定義の方程式を使用して高精度に計算
- LVS トレース中、汎用デバイス(トランジスタ、ダイオード、抵抗、キャパシタなど)、ユーザ定義デバイス、ブラックボックス・サブサーキットを正確に識別
- あらゆる半導体プロセスに対して抜群のパフォーマンスを誇る、効率的なフルチップ・レイアウト・ネットリスト抽出

クロスプロービング

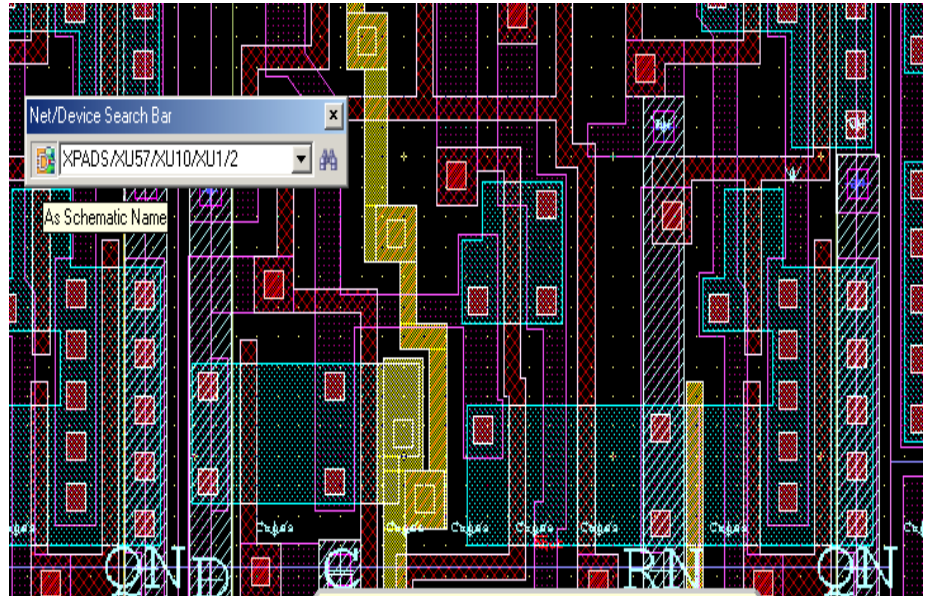
インタラクティブな階層クロスプロービングで、LVS 違反をわかりやすく表示します。



生産性と汎用性

- 階層デザイン・データベースは、フラット/階層 LVS ネットリスト比較に対応
- デバイスの設計で使用される、任意のポリゴン形状に対応
- オリジナルの階層構造を最大限に保持することにより、ポスト・レイアウト回路シミュレーション時のデバッグが容易
- スケマティック・ネットリスト、抽出したレイアウト・ネットリスト、および物理レイアウト間の階層クロスプロービング
- 便利なフィルタ・オプションを備えた ERC 違反 (ショート、オープン、未接続のデバイス、および接続が不正なデバイス) の検出機能
- MOSFET、BJT、JFET、MESFET、ダイオード、抵抗、キャパシタ、およびユーザ定義のパラメタライズド・デバイスをサポート
- Expert** IC 設計環境において、ノード・プロービング、ノード検索、ショート・ロケータなど先進の機能により、レイアウトにノード情報をアノテート可能
- 階層 LVS 実行では、マルチスレッド処理が可能

ノード検索では、ネットやデバイス、インスタンスを、回路図やレイアウト名毎にハイライト表示します。



Guardianの入力/出力



SILVACO

株式会社 シルバコ・ジャパン
www.silvaco.co.jp

お問い合わせ : jpsales@silvaco.com

横浜本社

〒220-8136
神奈川県横浜市西区みなとみらい 2-2-1
横浜ランドマークタワー 36F
TEL : 045-640-6188 FAX : 045-640-6181

京都オフィス

〒604-8152
京都市中京区烏丸通蛸薬師下ル手洗水町 651-1
第14長谷ビル 9F
TEL : 075-229-8207 FAX : 075-229-8208

