

HyperFault

ミックスド・レベル・フォルト・シミュレータ



HyperFault は、Verilog HDL IEEE 1364-2001 準拠のフォルト・シミュレータです。テストベクタの故障検出能力を解析します。ゲート・レベル、ビヘイビア・レベル、スイッチ・レベル混在(ミックスド・レベル)の回路を、SDF (Standard Delay Format) タイミング・データを使用してシミュレートできます。

- Verilog HDL IEEE 1364-2001 準拠のフォルト・シミュレータ
- 標準の Verilog ソース・ファイルやライブラリを使用した、ゲート/ビヘイビア/スイッチ・デバイスのミックスド・レベル・フォルト・シミュレーション
- 内部故障の検出において、BIST や ATPG を補完
- 反復故障解析機能を備えた効率的なマルチパス・コンカレント・フォルト・シミュレーション・アルゴリズムにより、メモリ割当を最適化し、実行時のパフォーマンスを向上
- 自動デザイン分割機能は、ロード・バランシングによる分散 CPU に対応し、大規模デザインを高速に解析可能
- 0/1 縮退故障モデルなどの故障解析モデル
- タイミング・フォルト・シミュレーションでは、配線後の遅延解析を実行するために、バックアノテートされた SDF ファイルを使用可能
- お客様とサード・パーティ企業の大切な知的財産を守る、シルバコの強力な暗号化技術を利用可能

SILVACO

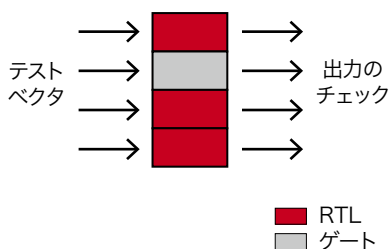
高精度な フォルト検出

- ・ タイミング・フォルト・シミュレーションは、SDF ファイルを使用したバックアノテートに対応し、ポスト配線遅延解析で使用可能
- ・ 入力/出力の 0/1 縮退故障モデルなど、高精度な故障解析モデル
- ・ 故障サンプリング手法を用いることにより、現実的なフォルト・シミュレーション実行時間を管理可能
- ・ ランダム・サンプリング・アルゴリズムにより、高精度な故障分析を実現
- ・ デザイン・ファイルやライブラリの修正が不要なため、修正にともなうエラーの発生なし

Verilog HDL IEEE 1364 - 2001 準拠

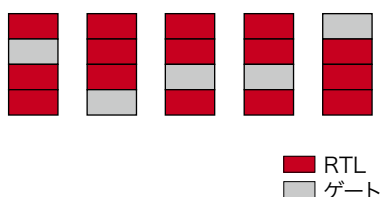
- ・ Verilog HDL IEEE 1364-2001準拠のデザイン・データ、ライブラリ、およびテストベンチを使用
- ・ バックアノテートされた SDF を使用可能
- ・ ミックスド・レベル (ゲート、ビヘイビア、スイッチ) のフォルト・シミュレーションを実行可能
- ・ セル、I/O、メモリ、IP などの標準化された Verilog ライブラリを利用

ミックスド・レベル フォルト・シミュレーション



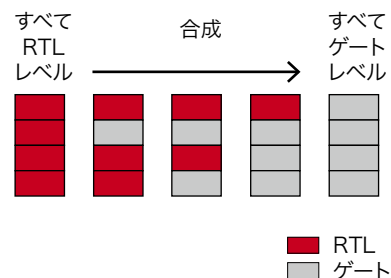
ミックスド・レベル・フォルト・シミュレーションは、RTL 内部のゲート・レベル・ブロックを解析

合成後の各ブロックの フォルト・シミュレーション



複数の設計エンジニアが、各ブロックを個別に解析可能

デザイン・フロー



結果をマージして、システムの故障検出率を計算

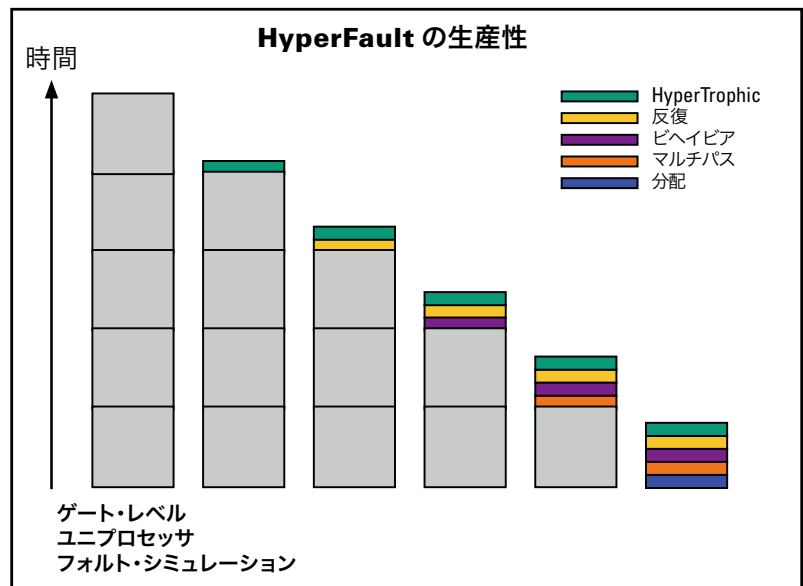
優れた操作性

- ・ 設計者もテスト・エンジニアも利用できるツール
- ・ デザイン・ファイルの修正が不要で、修正作業によるエラーの発生なし
- ・ ライブラリ・ファイルの作成や修正が不要
- ・ 操作インターフェースは、必要に応じて直感的な GUI およびバッチ処理用の Unix シェル・プロンプトから選択可能
- ・ 正規表現を使用して、特定のデザイン・ブロックに含まれる故障箇所や、DUT(Device Under Test) に含まれるすべての故障箇所を選択可能
- ・ 適切なコードで記述されたPLIドリブン・テストベンチをサポートし、マルチパス手法によるフォルト・シミュレーションに対応
- ・ Windows および Red Hat Linux プラットフォームに対応

スケーラブルなパフォーマンス

- ・ 自動デザイン分割機能は、ロード・バランシングによる分散 CPU に対応し、大規模デザインを高速に解析可能
- ・ 反復フォルト・シミュレーション機能は、連続したテスト・パターンを適用し、故障検出率を向上
- ・ 分散フォルト・シミュレーションは、シミュレーション・ジョブをネットワーク上の複数のプロセッサに振り分け、シミュレーション実行時間をリニアに短縮 (10 個の CPU 使用においては、シミュレーション時間を 1/10 に短縮)
- ・ マルチパス手法では、すべての故障箇所を使用可能なメモリ上で確実に処理し、メモリ上に入りきらない故障箇所は次のパスとして実行
- ・ 従来数週間を要していた大規模シミュレーションが数時間から数日で可能

5 種類のアプローチにより、シミュレーション時間を劇的に短縮



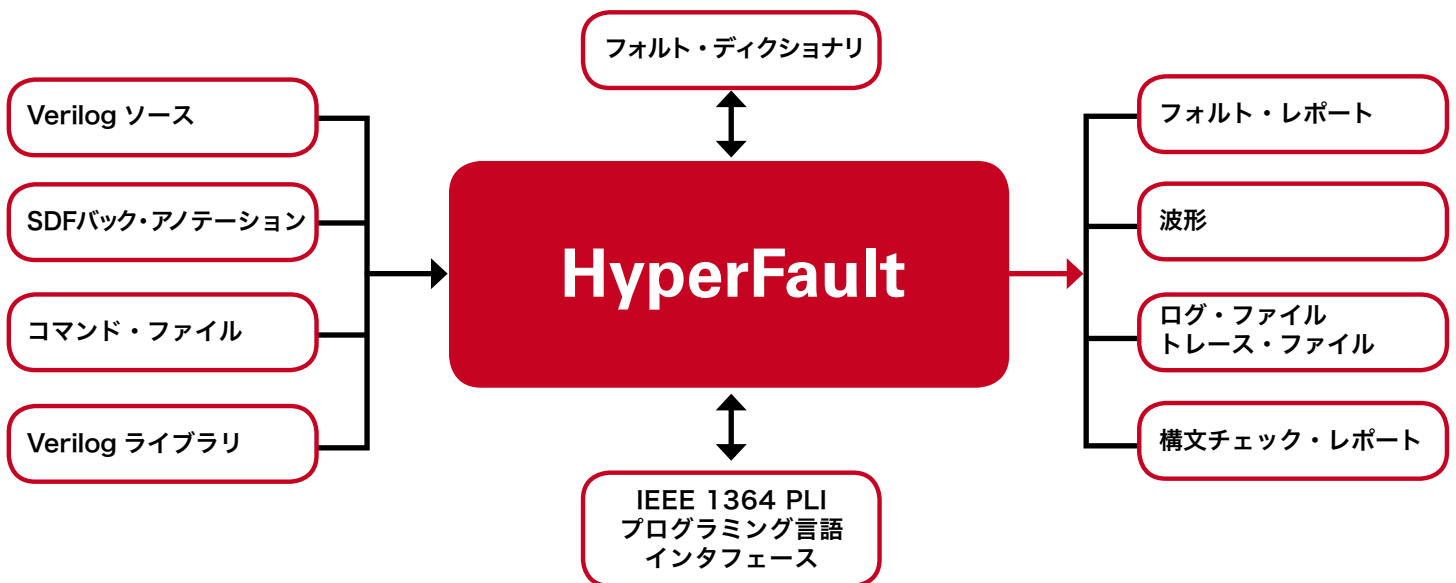
フォルト・シミュレーションのアルゴリズム

- ・ HyperTrophic アルゴリズムにより、故障によって影響を及ぼすデザインの処理を最小化 – 実行時間が 1/10 に短縮
- ・ 故障解析機能を備えた効率的なマルチパス・コンカレント・アルゴリズムでは、メモリ割り当てを最適に実行し、実行時間の大幅な短縮と高精度な故障検出を実現
- ・ テスト・ベクタの VCD (Value Change Dump) 入力をサポート
- ・ 階層形式でインスタンス別に分類された、読みやすい故障レポート
- ・ DUT の起動後にフォルト検出をスケジューリングすることで、検出エラーを排除

**BIST や ATPG の
補完・代替にフォルト・シミュレーション
を使用可能**

- ・ スピードを重視するために手作業でコーディングされたクリティカル・パスにスキャン・チェーンを挿入できない場合
- ・ ゲートを追加できない低消費電力向けのデザイン
- ・ BIST やスキャン・チェーンを使用せずに構成された古いデザイン
- ・ 非同期リセット信号や、データ信号とクロック信号を同時に駆動する入力信号があるスタティックではない非同期パスが存在する場合
- ・ 故障状況を正確にシミュレートするために、配線後の全タイミング情報が必要となる場合
- ・ インターナル・リング・オシレータのようなフィードバック・パスが存在する回路において、フィードバック・ループを停止するような制御回路を挿入すると、エレメントのバランスを崩してしまうような場合
- ・ ATPG をサポートしていないライブラリを使用しているデザイン
- ・ フォルト・シミュレーション・ツールは、ATPG ツールに対してコスト面で優位
- ・ 高信頼性を追及するデザインにおいて、BIST/ATPG で作成された個々の IP ブロック間の故障を検出する場合

HyperFault の入力 / 出力



SILVACO

株式会社 シルバコ・ジャパン
www.silvaco.co.jp

お問い合わせ : jpsales@silvaco.com

横浜本社

〒220-8136
神奈川県横浜市西区みなとみらい 2-2-1
横浜ランドマークタワー 36F
TEL : 045-640-6188 FAX : 045-640-6181

京都オフィス

〒604-8152
京都市中京区烏丸通蛸薬師下ル手洗水町 651-1
第14長谷ビル 9F
TEL : 075-229-8207 FAX : 075-229-8208