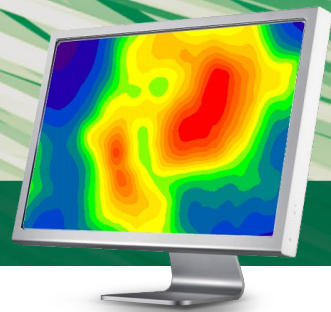


InVar Reliability Analysis

概要

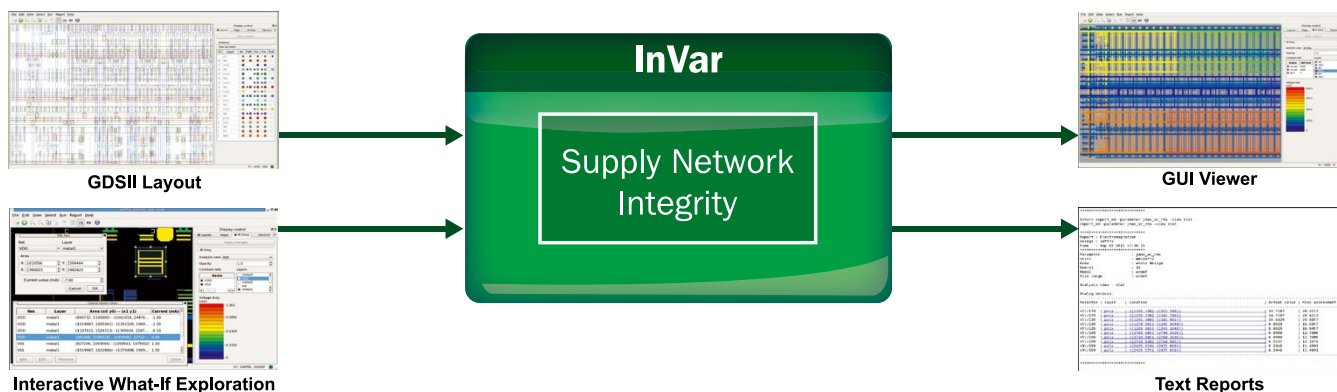


シルバコのInVar™は、ブロック・レベルからチップ・レベルまで、幅広いデザインの解析を高精度かつ効率的に実行します。特許を取得したコンカレント手法により、物理的測定に匹敵する精度を維持しつつ実行時間を短縮できるだけでなく、極めて大規模なデザインの解析も可能です。これまで、アナログ・ブロック、高速IO、カスタム・デジタル・ブロック、メモリ、スタンダード・セルのようなトランジスタ・レベル設計において、IRドロップやエレクトロマイグレーションなど物理的検証が、以前から重大な課題となっていました。シルバコの階層的処理方式は、この問題を克服し、FinFETテクノロジーを含むシングル・ブロックからフル・チップまで、あらゆるプロセス・ノードにおいて、IRドロップ、エレクトロマイグレーション、および熱の各影響をより高精度に可視化することができます。

一般的に、パワー・インテグリティの解析が行われるのは設計サイクルの後半に限られるため、タイトなスケジュールを余儀なくされ、設計において対応できる選択肢が限られてしまうこともあります。InVar Prime は、設計の初期段階で解析が実行できるので、設計者はより多くの選択肢に基づき設計を進めることができ、設計の終盤で発生する問題を減少させることができます。

また、シルバコのソリューションは業界標準の設計ファイルフォーマットのみを採用しており、ユーザ・フレンドリな環境でプラットフォームの操作方法を身に着けることができるため、作業の効率化を素早く実現できます。

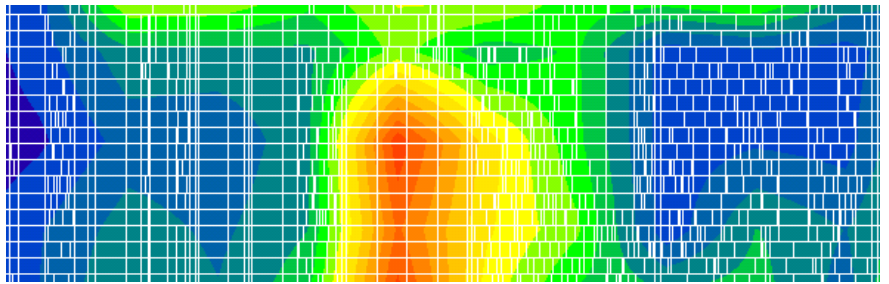
InVarは、デジタル、アナログ、およびミックスド・シグナルIC設計の初期段階から最終段階のサインオフ解析まで、パワー・インテグリティのソリューションを提供します。



SILVACO

InVar Power

InVar Powerは、アナログ/デジタル・デザインに対して、高精度なパワー解析を、リアルタイムに行うプラットフォームを提供する、業界初のツールです。高コストのプロセス・テクノロジーで作られる、高速、小型、安価なICには、誤差が許容される余地はほとんどありません。再設計となると、多大なコストがかかります。InVarは、アナログ・デジタルどちらのデザインに関わらず、テープアウトまで導き、最大限の費用対効果を実現できます。



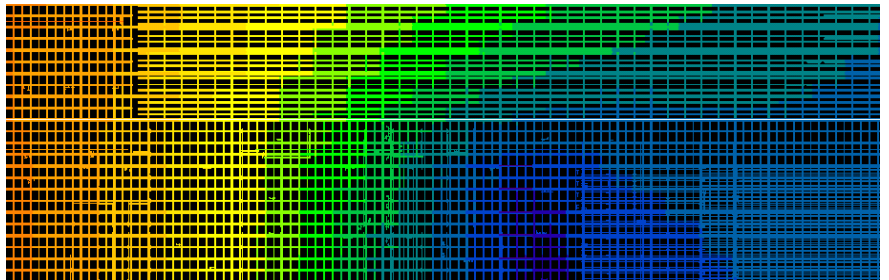
InVarは、旧世代の解析/サインオフ・ツールでは搭載されていない、包括的な検証(サインオフ)ソリューションを完備しています。設計者は、デザインに潜在する全ての多種多様な影響を理解し、解析しなければなりません(電力と2次元/3次元プロファイル間の相互依存、動的な熱プロファイルが、デバイスの振舞に対してリアルタイムにどのように影響するか、また、パッケージがボード、さらには近隣素子が、実際どのように電気/熱のシミュレーションに影響するかなど)。

シルバコのInVarソリューションは、精度を伴った検証時間の短縮という、ユーザの期待にお応えします。また、並列処理と高度なアルゴリズムにより、ラボの測定値に合致する高精度な結果を素早く提供することができます。

SPICEレベルの精度を維持しつつ、極めて規模の大きなSoC設計に対応できる能力を持つためには、情報処理方式を根本的に変える必要があります。シルバコのInVarソリューションは、パワー解析をデバイス、セル、IP/ブロック、およびフルチップ・レベルでサポートします。階層構造があるデザインの場合は、InVarマクロモデリング・モジュールにより、1回のボトムアップ実行でフルチップ・レベル解析を実行でき、階層構造全体にわたって電圧と温度の変化を検証できます。

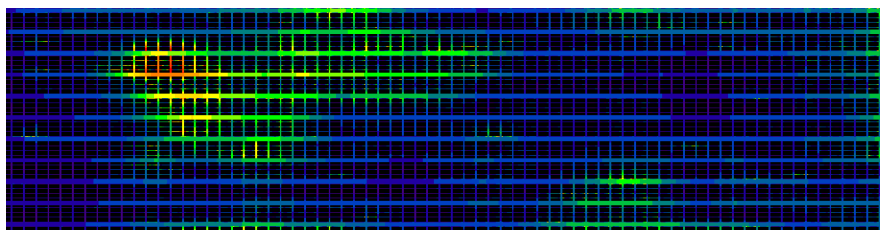
InVar EM/IR

先進テクノロジー・ノードの導入と設計サイズの絶え間ない拡大が進む中、EMおよびIRに関連する問題について信頼性のある解析結果を得ることは、ますます難しくなっています。拡張性に乏しいこれまでのツールと異なり、シルバコのInVar EM/IRによるエレクトロマイグレーションおよびIRドロップ解析は、アナログとデジタル両方のICにおいて、現代のIC開発で求められる複雑性と形状サイズの縮小に引き続き対応することが可能です。



信頼性のある解析結果を得るためにシルバコが出した答えは、シンプルで明快なものでした。設定方法が分かりやすく、短時間で設定可能な本製品では、1回の実行で、複数の制約(スタティック解析およびダイナミック解析)、および電源ネットと信号ネットの解析を行うことができます。アナログ・ブロックとデジタル・ブロックを1つの解析で扱うことにより、新たな水準の精度で解析することが可能となり、複数のツールを使用して相互に切り離されたレポートの数々に目を通す必要はなくなりました。

InVar EM/IRは広範囲の解析を提供し、最上位層のコネクタから下位層のトランジスタに至るまでのすべての電源ネットワークを完全なグラフィックで可視化することができます。階層ブロック・モデリングという独自の手法により、実行時間の短縮とメモリの節約を実現すると同時に、フラット階層での実行の精度を維持することができます。

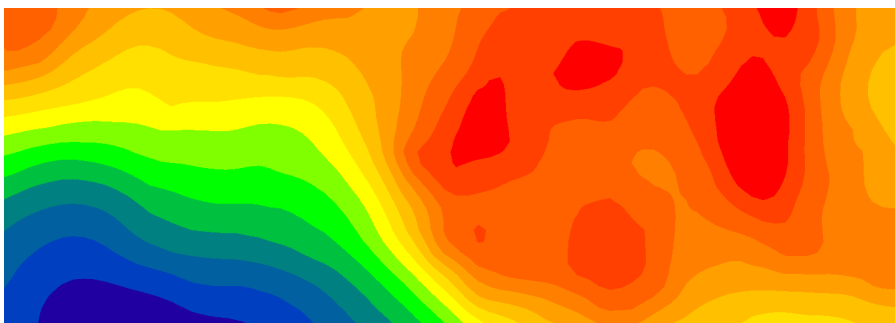


変更ペースが速いEMルールを正しくサポートすることは、一つの大きな課題でした。信頼性ルールはファブごとに大きく異なります。しかし、InVar EM/IRのユーザは、そうした問題を気にする必要はありません。InVar EM/IRでは、プログラマブルなEMルールにより、ファブのルールに必要な変更を加えて柔軟に実装することも、ルールをそのまま実装することも可能で、新たなルールの登場と同時にそのルールがサポートされます。

また、拡大を続けるダイ領域に、1000個を超える大量の電源ピンを使用したパッケージ・モデルを正しくサポートすることは、重大な課題の一つです。パッケージ電源を実際よりも少ない、いくつかのRLCアノテート仮想端子に割り当てるのは、許容される手法ではありません。InVar EM/IRは、ダイのすべての電源コネクタに対するRLCKアノテーションをサポートしており、極めて高精度の過渡解析を提供することができます。

InVar Thermal

InVar Thermalは、現在入手可能な熱サインオフ解析ツールとして業界最高のキャパシティと精度を備えています。シルバコは、ごく少量のトランジスタを搭載したブロックからフルチップまで対応可能な独自のアプローチを解析プロセスに採用し、精度の問題を解決しました。各種の解析エンジンが連動して処理を実行するので、パワー、デバイス・パラメータ、実効電源電圧、および温度の相互依存関係を考慮した解析結果を得ることが可能です。他のツールと異なり、全タイプの解析が、チップ全体にわたり連続温度空間において実行されます。事前定義された温度コーナーは解析に使用されません。



InVar Thermalは、熱境界条件、環境温度、および多数の熱プロパティを使用して熱解析を開始し、これらに関する設定は、デザインで使用するどの材料についても個別に指定できます。解析は高速な収束反復ステップを通じて続行され、デザイン内のすべてのデバイス、配線オブジェクト、それぞれに固有の温度数値を計算します。すなわち、2次元/3次元解析が連続温度空間において実行され、その結果が得られます。高度なアルゴリズムで提供される解析エンジンの速度、および拡張性により、解析作業にかかる時間を大幅に短縮することが可能です。また、InVar Thermalは、直接的で自然なフローを提供し、すぐに利用できる標準的な設計フォーマットを採用しているため、高精度な結果を少ない労力で得ることができます。

InVar Thermalの導入によって、他の熱解析専用ツールの必要性は少なくなるかもしれません。InVar Thermalが提供する解析結果は、シルバコのお客様のラボでの検証において、他の既知の熱解析ツールを上回る性能が実証されています。

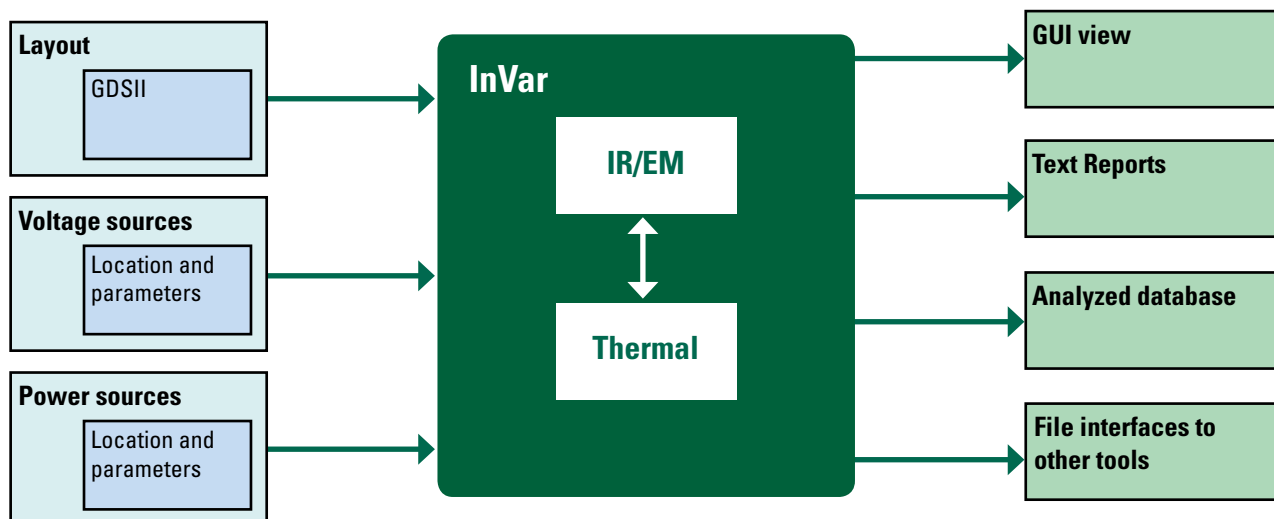
主な用途

初期解析

InVar Primeは、設計の早期段階におけるパワー・インテグリティの解析に適した、レイアウト・エンジニア向けのSPICEを使用しないソリューションです。設計者は、パワー、EM/IR、および熱の状態を、詳細なレイアウト設計を開始する前に見積もることができます。電源ネットワーク上の抵抗に関連したパラメータの確認、2点間の抵抗値の確認、または電流密度の見積もりを立てることも可能です。また、ビアの欠落、メタル形状の分離、矛盾のあるラベル設定や迂回配線など、通常のLVSチェックでは検出されない問題の発見と修正にも役立ちます。

初期解析 (InVar Prime) に必要な入力データ

- ・ レイアウト : GDSII
- ・ テクノロジ : ITF または iRCX
- ・ 補助的なデータ : レイヤ・マッピング・ファイル (GDSII ファイル用)、電源 / グランドのネット名、電圧源の位置およびノミナル値、電源 / グラウンド・ネットの領域ベースの電流消費量



InVar内部エンジンにより提供されるInVar Primeの信頼性解析

アナログ・デザイン解析

パワー検証、熱検証、およびEM/IR検証を互いの影響を考慮しながら同時に実行可能な唯一のアナログ設計用サインオフ・ツールで、トランジスタ・レベルのソリューションを提供します。

アナログ・デザイン解析に必要な入力データ

- ・ レイアウト: GDSII
- ・ ネットリスト: SPICEおよびDSPF
- ・ テクノロジ: ITFまたはiRCX
- ・ 補助的なデータ: レイヤ・マッピング・ファイル(GDSIIファイル用)、電源/グラウンドのネット名、電圧源の位置およびノミナル値

デジタル・デザイン解析

パワー検証、熱検証、およびEM/IR検証の影響を考慮した同時解析により、ブロック・レベルからフルチップ・レベルまでのデザインを検証し、サインオフまで導きます。

デジタル・デザイン解析に必要な入力データ

- ・ 設計データ: LEF、DEFまたはVerilog
- ・ モデル: Liberty
- ・ タイミング制約: SDC
- ・ テクノロジ: ITFまたはiRCX
- ・ アクティビティ: FSDB、VCD、VPD、SAIF
- ・ 寄生素子ファイル: SPEF

SILVACO

株式会社 シルバコ・ジャパン
www.silvaco.co.jp

お問い合わせ : jpsales@silvaco.com

横浜本社

〒220-8136
神奈川県横浜市西区みなとみらい 2-2-1
横浜ランドマークタワー 36F
TEL : 045-640-6188 FAX : 045-640-6181

京都オフィス

〒604-8152
京都市中京区烏丸通蛸薬師下ル手洗水町 651-1
第14長谷ビル 9F
TEL : 075-229-8207 FAX : 075-229-8208

