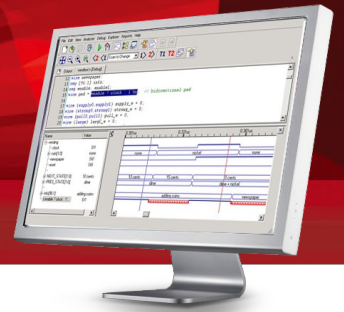


# Silos

## Verilogシミュレータ



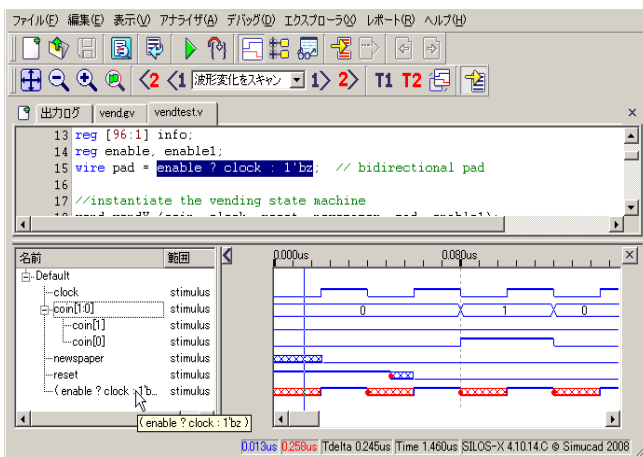
**Silos** は、Verilog HDL IEEE 1364-2001 準拠の使いやすい Verilog シミュレータです。多数のデザイナーに採用され、1986年以來、業界標準ツールとなっています。強力なインタラクティブデバッグ機能により、生産性の極めて高い FPGA、PLD、ASIC、およびカスタム・デジタル IC デザイン環境を実現します。

- Verilog HDL IEEE 1364-2001に準拠し、PLI（プログラミング言語インタフェース）を備え、言語拡張をサポートする Verilog シミュレータ
- 生産性の高いインタラクティブ GUI デバッグ環境（データ・アナライザ、トレース・モード、階層エクスプローラ、ソースコード・エディタで構成）
- 標準搭載の構文チェック機能により、HDL のシンタックス、機能、デザイン・ルールを、500以上のチェック項目で検証可能。シミュレーションと論理合成間の不一致、レース・コンディション（シミュレータ間で相違が発生する記述）、クロック・ドメインの同期チェックなど、多彩なルールを採用
- コード・カバレッジ機能を搭載した使いやすい検証環境
- RTCA/DO-254 Design Assurance Guidance for Airborne Electronic Hardware の Appendix B に対応
- お客様とサード・パーティ企業の大切な知的財産を守る、シルバコの強力な暗号化技術を利用可能

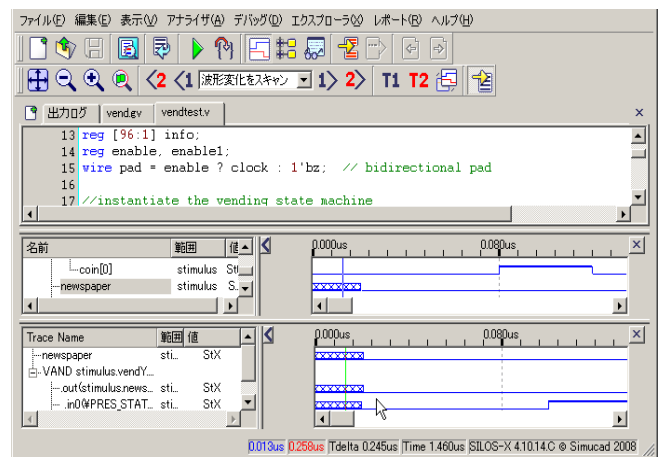
# SILVACO

## 豊富な機能

- Verilog HDL IEEE 1364-2001 に準拠し、generateステートメントやワイルドカード機能をサポート
- スイッチ、ゲート、ビヘイビアの各レベルで動作可能なマルチレベル HDL シミュレータ
- プロジェクトごとの設定情報（プリファレンス、ディレクトリ、オプションなど）をファイルに保存することで、効率的なマルチ・プロジェクト管理が可能
- [すべて保存]メニューにより、設計者はシミュレーションの全履歴を確認可能
- [シミュレーションを保存] および [シミュレーションを復元] コマンドにより、シミュレータのすべての状態をファイルに保存し、保存時点からのシミュレーションの再実行に使用可能
- IEEE 1364 PLI 対応により、設計者や FPGA ベンダは、DLL（ダイナミック・リンク・ライブラリ）を介して Verilog 拡張言語を使用可能



[データ・アナライザ] に Verilog 記述をドラッグ & ドロップすると、波形として表示できます。



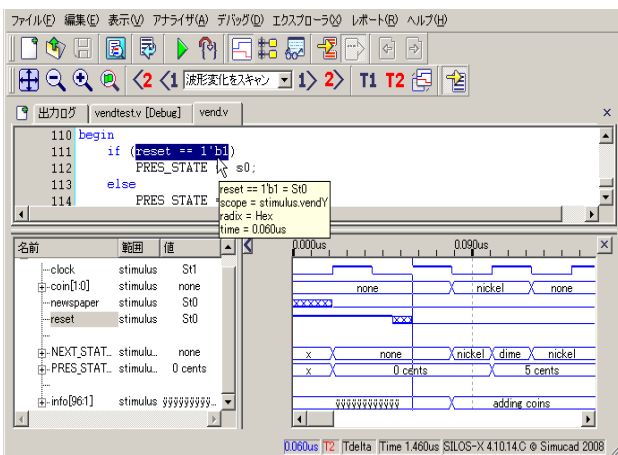
[データ・アナライザ] では、[入力信号をトレース] ウィンドウとコード・エディタを使用し、値が不明となる原因をトレースできます。

## 優れた操作性

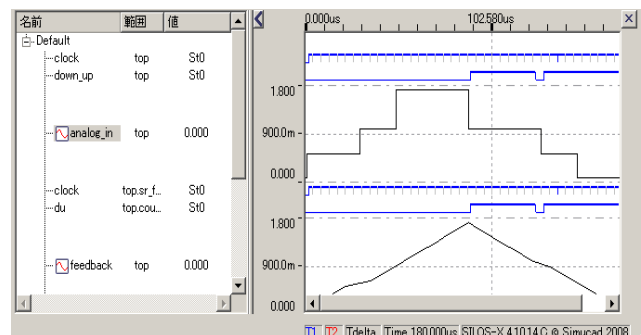
- 使いやすい GUI により、ユーザの習熟度によらず作業効率の高いシミュレーション環境を構築可能 (Silos は、米国有数の Verilog 教本 7 冊や大学の VLSI デザイン過程の多くで採用)
- 階層デザインを分かりやすく表示する階層エクスプローラにおいて、デザイン内の任意の変数をドラッグ & ドロップですばやく選択 / 表示可能
- インタラクティブな環境により、モデル式、変数、モジュール、信号、ベクタ、レジスタのすべてに、リアルタイムでアクセスおよび解析可能
- 共通の GUI により、信号の選択、タイムスケールの設定、バス幅、ステータス・ウィンドウ、タイミング・マーカ、ブックマーク、およびバス定義が可能
- ソースコード・エディタでは、停止、開始、ブレークポイントの行番号や、変数や式の値のポップアップ、コード・カバレッジ情報などをインタラクティブに表示

## 生産性の高い シミュレーション 環境

- 数 10 万ゲート規模のデザインを対象とするインタラクティブ・デバッグにおいて、コンパイル時間は不要でありながら、コンパイル型 Verilog シミュレータに匹敵する速度で結果を出す高性能なシミュレーション・エンジン
- インタラクティブなインタプリタ型 Verilog 環境において、HDL ソースコードの編集、インクリメンタルブレイクポイント、ステップング / 時間指定シミュレーション、リアルタイム表示、エラー検出などマルチタスクで実行可能
- カスタマイズ可能なマルチウィンドウ構成の [データ・アナライザ] では、パンやズーム、タイミング・マーカ、信号や式をドラッグ&ドロップしてアナログ/デジタル波形を表示する機能などに対応
- トレース・モードでは、任意の信号に接続されているすべてのファンインを、回路の全階層にわたって瞬時にトレース、表示可能
- [ウォッチ] ウィンドウでは、シングルステップの実行中に、信号や変数の値を表示 / 強制変更可能 (ドラッグ & ドロップによる簡単な操作)



[データ・アナライザ]でT1 マーカを置いた箇所に対しソースコード・エディタでソースコードをハイライト。値、範囲、時間をポップアップ表示します。



アナログ波形は、ピースワイズ・リニア・フォーマットまたはステップング・フォーマットで表示されます。

## 構文チェック機能

- 500 以上のデザイン・ルールによるチェック
- レース・コンディション (シミュレータ間で相違が発生する記述) やクロック・ドメインの同期チェック
- 論理合成可能性をチェックし、シミュレーションと論理合成間で不一致が発生するおそれがある箇所をレポート
- 推定されるレジスタ、ラッチ、ステート・マシンならびに順序回路の詳細なレポートにより、同期するハードウェアに合成されるゲートの使用を最適化
- FSM (状態遷移機械) を抽出し、冗長または未遷移な状態を解析
- テスト容易化設計に基づいた検証を実行し、テスト不能回路の先行識別を実現
- 充実したレポート・フィルタリング・システムにより、的確な情報を表示し、エラーの修正を支援

## FAA規格DO-254 の試験に対応

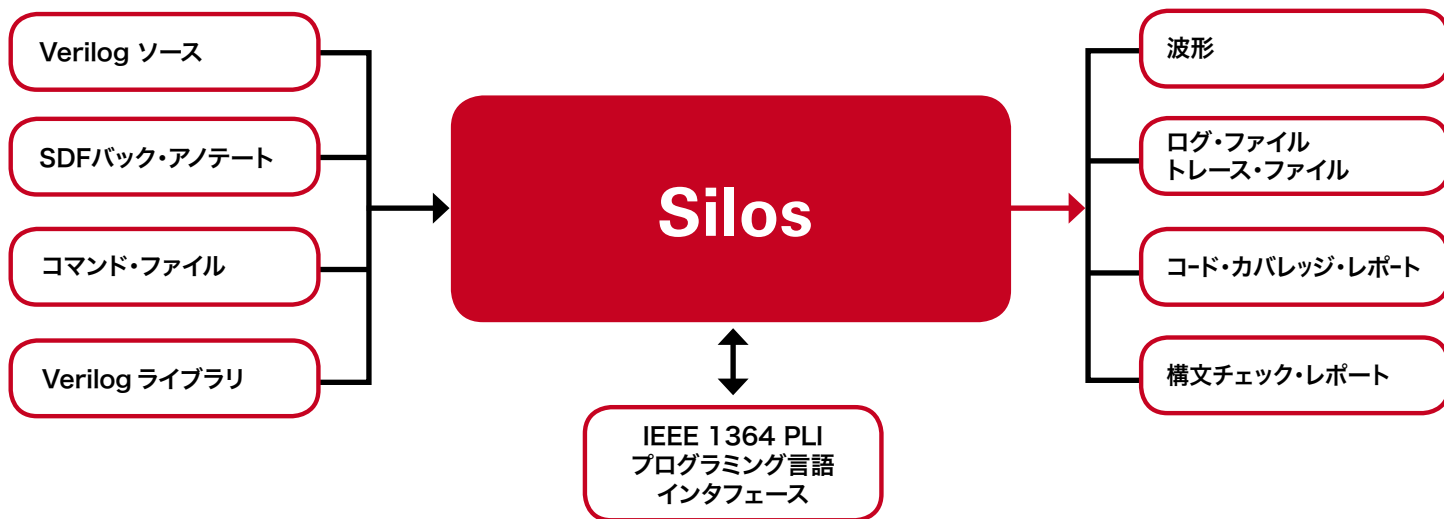
RTCA/DO-254 Design Assurance Guidance for Airborne Electronic Hardwareは、連邦航空局 (FAA) の認定する規格であり、航空搭載電子機器システムの安全性を確認する方法として、航空搭載システムの複雑な電子機器の設計の検証を行います。

**Silos** のコード・カバレッジ・レポート機能は、RTCA/DO-254 Design Assurance Guidance for Airborne Electronic Hardware に準拠した Appendix B の Elemental Analysis への適合試験について、レベル A およびレベル B に対応しています。

**Silos** の生成するコード・カバレッジ・レポートには、ライン/ステートメント・カバレッジ、オペレータ/論理式カバレッジ、ならびにブランチ・カバレッジがあります。レポートは、テキストファイルとしてエクスポート可能であり、また **Silos** のグラフィカル・ユーザー・インターフェース (GUI) でインタラクティブに確認することもできます。単独で実行された複数のシミュレーションによるコード・カバレッジ・データを1つのレポートにまとめることが可能です。

ビヘイビア・ソース・コードの特定のラインやブロックからのカバレッジ・レポートを、ユーザー設定により有効または無効にすることが可能です。不要な time 0 のイベントは、カバレッジ結果から自動削除されます。

## Silosの入力/出力



**SILVACO**

株式会社 シルバコ・ジャパン  
www.silvaco.co.jp

お問い合わせ : [jpsales@silvaco.com](mailto:jpsales@silvaco.com)

### 横浜本社

〒220-8136  
神奈川県横浜市西区みなとみらい 2-2-1  
横浜ランドマークタワー 36F  
TEL : 045-640-6188 FAX : 045-640-6181

### 京都オフィス

〒604-8152  
京都市中京区烏丸通蛸薬師下ル手洗水町 651-1  
第14長谷ビル 9F  
TEL : 075-229-8207 FAX : 075-229-8208