

SmartSpice SEUモジュール

はじめに

電子回路内の情報は、電荷の集まりとして記憶、伝達されています。記憶または伝達に使用される電荷をアップセット（反転）する事象が原因で、回路の出力にエラーが起こることがあります。この種のエラーを、過渡故障、ソフト・エラー、SEU (single event upset: シングル・イベント・アップセット) などと呼びます。アップセットを引き起こす事象には、高エネルギー粒子や電氣的な供給源などがあります。

アップセットの要因となる高エネルギー粒子には、2種類あります。1つは宇宙から地球へ常時飛来している宇宙線で、もう1つは原子崩壊によって半導体材料内に微量に存在する放射性原子です。大気中の粒子には、アルファ粒子、陽子、中性子などがあります。電氣的な供給源としては、電源ノイズ、EMI (electromagnetic interference: 電磁干渉)、雷から出る放射線などがアップセットの要因になります。

電子回路を構成するデバイスの中でも、記憶素子は、空間的密度が高く、記憶情報量も多いことから、過渡エラーに最も弱いデバイスと考えられます。ナノメータ時代に入ってもなお微細化を続けるマイクロプロセッサのソフト・エラー発生率を予測するには、メモリ・アレイおよびコア・ロジックを考えることが重要です。組合せ論理素子に高エネルギー粒子が当たったときに起こるのがSET (single event transient: シングル・イベント・トランジェント) です。入射粒子が電荷を与え、過渡 (トランジェント) 的な電圧変化を引き起こします。この電圧変化が記憶素子に伝播してラッチされた場合、SEUとなります。SETがSEUとなる確率は、論理設計のスタイル、記憶素子の振る舞い、システムのタイミング仕様などに大きく影響されます。この影響を調べるのに、回路シミュレーションや、試作デバイスの重イオン実験を使用します。今や、ソフト・エラーは、高性能・低消費電力のマイクロプロセッサを設計する際の大きな課題になっています。

Messengerの電流モデリング

SmartSpice SEE機能では、入射粒子の影響による回路内のソフト・エラーを表現するのに、Messengerのフォルト・モデル[1]をデフォルトで使用します。正確なシミュレーション結果を得るためには、外部マクロ・モデルを

利用せずに、トランジスタの内部で現象を局所化することが重要です。SmartSpiceでは、トランジスタの内部ノード (BSIM3、Gummel-Poon、MEXTRAM、BSIMS0I、VBIC、Quasi-RC、およびEKV) に電流発生器を挿入します。発生する電流の波形は、SmartSpiceで利用可能な2つの指数関数電源で高精度に近似できます。また、ユーザ定義のシングル・イベント・モデルを使用することもできます。その場合は、SmartSpiceが用意しているPWL電源関数、EXP電源関数、ビヘイビアAデバイス、さらにはVerilog-Aが使用できます。Messengerのフォルト・モデルは、2つの指数関数電流源の1つです。理論表現式は、

$$i(t) = I_{SEU} \cdot (\exp(-t/\tau_F) - \exp(-t/\tau_R))$$

となります。ただし、

- I_{SEU} は、注入された電荷量に依存し、プラスの場合とマイナスの場合あり
- τ_F は、接合部の電荷収集の時定数
- τ_R は、イオントラック形成の時定数

上記の表現式 (方程式) は、蓄積された電荷の依存性を使用して表現することもできます。

$$i(t) = \frac{Q_{dep}}{\tau_F - \tau_R} \cdot (\exp(-t/\tau_F) - \exp(-t/\tau_R))$$

- $Q_{dep} = q \cdot \rho \cdot L_f \cdot LET/E_{e,h}$
 - q = 電子電荷 (1.6E-19C)
 - ρ = 物質密度 (シリコンで2.33g/cm³)
 - L_f = ファンネル長 (cm)
 - LET = 線エネルギー付与 (MeV - cm²/mg)
 - $E_{e,h}$ = 電子 (e) ・正孔 (h) 対を生成するのに必要なエネルギー (シリコンで3.6eV)

先進のSEU解析機能

以上に説明した Messenger の電流モデリングが、SmartSpice SEUモジュールの中核です。正確なシミュレーション結果を得るためには、外部のマクロ・モデルを利

用せずに、トランジスタの内部で現象を局所化することが重要ですが、SmartSpiceでは、トランジスタの内部ノード内で実現します。また、ユーザ定義のイントリンシック・モデルを組み込むこともできます。

SEUを完全に解析するためには、正確なモデルだけでは不十分です。SEUの影響を忠実に表現するために、以下のようなオプションも必要です。

まず、複数の影響を同時に（またはほぼ同時に）シミュレーションできなければなりません。別々に起こった2つの影響で回路がエラーにならなくても、同時に2つの影響が重なることで、セルの状態が変化することがあるからです。

次に、アップセット（反転）が生じたか否かを判定するための条件を設ける必要があります。1つの影響で、トランジスタの状態が短時間変化することがあっても、十分な耐性を持つ回路であればすぐ元の状態に戻ります。その状態ではアップセットが生じているとは言えません。そこで、ユーザ定義のパラメータを用意して、条件をパラメータ化するのが最適な方法と考えられます。SmartSpice SEUでは、一定時間内の絶対エラーまたは相対エラーをユーザが設定できます。言い換えると、対象ノードの電圧が、ある決まった時間後に、ユーザが入力した許容範囲内に収まっていない場合、SmartSpice SEUはアップセットを出力します。

最後に、セル内の任意の場所でアップセットをチェックできるようにする必要があります。セルは、出力の変化を防ぐために冗長化されていることがあります。その場合、局所的にはアップセットが発生していても、セル全体の挙動は変化しないのでクリティカルでない、ということがあり得ます。SEUの影響を受けたノードだけでなく、他のノードも観測する必要があるのはこのためです。他のノード（出力ノード）にアップセットが見られなければ、そのセルはセーフと考えられます。

また、別の観点からの解析もできます。SmartSpiceのQCRIT機能を利用すると、アップセットが発生する前の最大LET (Linear Energy Transfer: 線エネルギー)

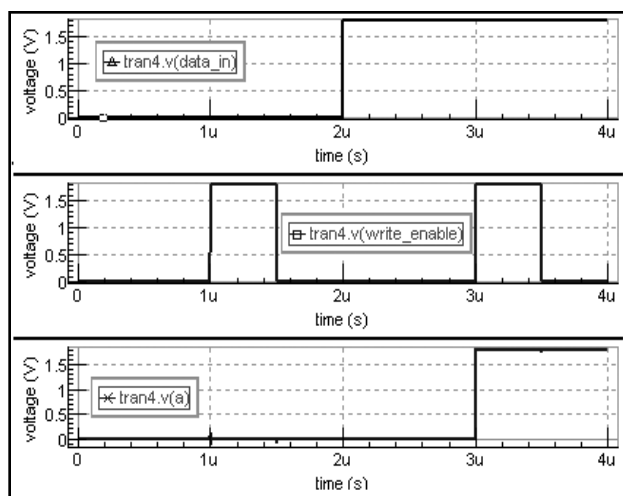


図2 2つの書込サイクル

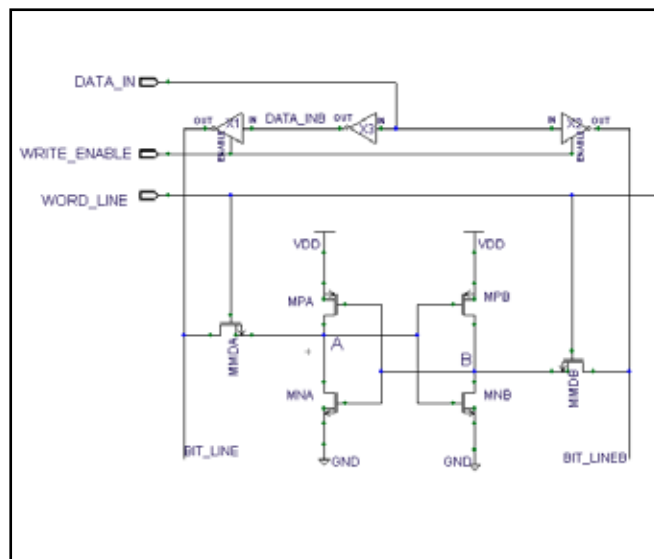


図1. 6MOS SRAM

ギー付与) が分かります。QCRIT機能は、自動的にバッチ・モードのシミュレーションを何回か実行し、アップセットを発生させるLETの値を直接計算します。

シミュレーション例

ここでは、MOSTランジスタ6個から成るSRAM回路を例にとります。入力信号は、DATA_IN、WRITE_ENABLE、およびWORD_LINEとします（図1参照）。

正常時のシミュレーションでは、図2のような結果が出力されます。V (WRITE_ENABLE) 信号は1us時に「0」を書き込み、3us時に「1」を書き込みます。V(a)は、記憶された情報に正しく対応しています。

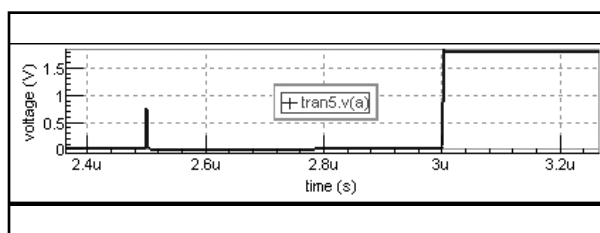


図3 2.5us時のSEUの影響 (LET=5)

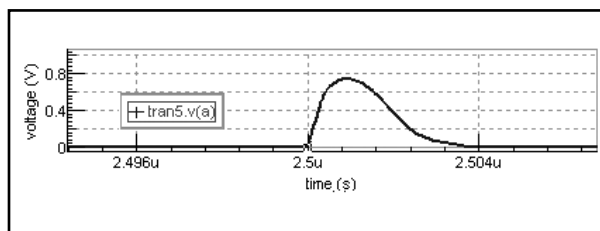


図4 2.5us時のSEUの影響 (LET=5) : 拡大図

次に、SmartSpiceの「.rad」解析を使用して、2.5us時に、MPAのMOS (図1参照) に乱れを発生させると、図3のような結果が得られます。

```
.RAD SEE = 1
+ DEVICE = MPA
+ START = 2.5u
+ TAUR = 0.05n  TAUF=0.7n  LF=1u
+ LET = 5
```

V(a)にグリッチが見られます。2.5us付近を拡大したのが図4です。

SEUの影響が明らかに見られますが、この状態ではアップセットは発生していません。V(a)は正しく保たれています。

さらに、LETを6に増やした場合のシミュレーション結果を図5に示します。LET=6は、メモリセル内に望ましくない状態を引き起こすのに十分です。t=2.5usにおいて、格納されているデータが「0」から「1」に変わりました。

最後の図 (図6) は、3nsの時間差で起こった2つの影響 (LET=5) を示します。1つはMOS MPA上、もう1つはMNA上の影響です。両方の影響が重ね合わさっています。

```
.RAD SEE = 2
+ DEVICE = MPA  MNA
+ START = 2.500u  2.503u
+ TAUR = 0.05n  0.05n
+ TAUF = 0.7n  0.7n
+ LF = 1u  LF = 1u
+ LET = 5  LET = 5
```

よって、この回路がアップセットに対して十分な耐性を持つことが分かります。

文献

[1] G. Messenger, M. Milton, "Single Event Phenomena", Chapman & Hall editor, 1997.

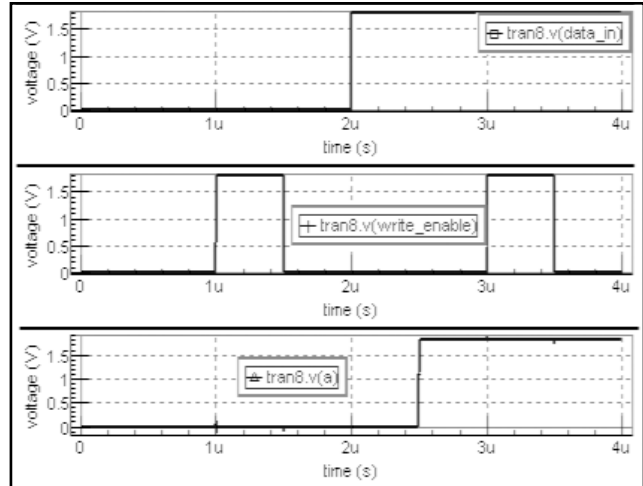


図5 2.5us時のSEU (アップセット発生)

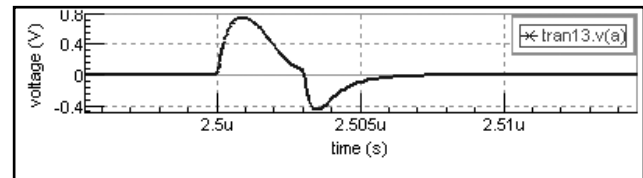


図6 3ns離れた2つの影響